

Graser

Gras

FPGA 混和設計與模擬

(上篇) 整合 PSpice 到 Incisive / Virtuoso 設計流程

FPGA 混和設計與模擬流程專為 FPGA 設計工程師量身訂做,以讓 FPGA 設計工程師能夠在短時間內了解 FPGA 與周邊電路 Co-Work 的狀況。為了減少重複性的動作與時間,上篇我們將探討如何將周 邊電子電路的零件,導入到 Incisive / Virtuoso 混和電路設計流程。



(下篇) 加入 IBIS Mode 提升混和模擬準確度

• Date: 2016 / 04 / 27

Author: Paine

• Revision: 1.0

Version: IES15.1, IC617, MMSIM15.1

・備註:

Graser http://www.graser.com.tw



FPGA 混和設計與模擬流程

(上篇) 整合 PSpice 到 Incisive / Virtuoso 設計流程

以往 FPGA 設計工程師需將 HDL 燒入到 FPGA 晶片,才能了解 FPGA 與外部周邊電路的 Co-Work 狀況,假若 FPGA 與周邊電路發生功能上的問題,那麼則需要回到 HDL 設計階段進行修改,修改完 畢則需再花費時間進行合成、實現與燒入的動作,假若設計複雜度提升,那麼上述流程進行的次數也 增加許多。為了能夠減少重複性的動作與時間,我們將探討如何將周邊電子電路的零件,導入到 Incisive/Virtuoso 混和電路設計流程。





設計流程說明

為了能夠避免修改 HDL 而需花費過多時間在合成、實現與燒入的重複性動作,我們不妨可以嘗試將 Board-level 與 Chip-level 的電路進行整合、模擬與值錯。在 Board-level 主要採用 OrCAD PSpice 工 具軟體將電子電路的元件轉換成 PSpice 語言,接著將 Chip-level 的 HDL 語言與 Board-level 的 PSpice 語言整併在 AMS 設計平台並且進行模擬與值錯;假若 Chip-level 與 Board-level 有功能上不匹配,那 麼我們可以在 AMS 設計平台上直接修改 HDL 或者是 PSpice,無須再花費過多時間等待合成、實現與 燒入的重複性動作。最後,若完成功能值錯與修改,則再進行合成、實現與燒入的動作。



http://www.graser.com.tw



設計方法種類

當我們要與 PSpice 進行混和模擬,目前 Cadence 有提供兩種方法 AVUM(Virtuoso GUI Based)與 AIUM(Text Based Command Line) 。AVUM(AMS Virtuoso Use Model)主要是採用 Virtuoso 圖形化 介面再搭配 IES + MMSIM 的工具軟體來進行電路設計,若使用者時常使用圖形化電路設計或者是曾 經使用過 Virtuoso 系列產品,那麼 AVUM 設計流程則適合該使用者;AIUM(AMS INCISIVE Use Model) 主要是以文字介面再搭配 IES + MMSIM 的工具軟體進行電路設計,若使用者時常撰寫 HDL 語言以及 經常使用 Shell 或者是 Makefile 建立設計流程,那麼 AIUM 設計流程則非常適合該使用者。





AVUM 設計流程 (IC6 + IES + MMSIM)

AVUM 設計流程主要以 Virtuoso 為 AMS 設計平台,在一開始設計電路時,主要以 Hierarchal Editing(HED)與 Virtuoso Schematic Editor(VSE)的介面,HED 主要是透過 hierarchal 的方式來快速切 換每一個 cell 的 view,VSE 則是協助使用者進行圖形化電路設計。





當我們要從導入 PSpice 到 VSE 時,我們則先需要建立 PSpice view 與 Symbol view。 操作流程: Library Manager -> File -> New -> Cell View -> Type 點選 Pspice(圖五) -> 按 OK -> 貼上 PSpice Netlist(圖六)

	/	Cont Cont	10	
		New File	× SEL	
	File		20	
	Library	PLL lib		
	C-II			
	Cell	VCO_SOB		
	View	pspice		
	Type	Pspice 🔽	23	
	Туре			
	Applica	tion		
	Open wi	th Text Editor		
	🗆 Alwa	ys use this application for this type of	file	
	Library	bath file		
	/usr2/	Paine/ibis test/D0427/ADElab/	/cds.lib	
	,			
	25	OK Cancel	<u>H</u> elp	
	-25° E			
			()E	
Toxt Edito	r (BSpico) BSBICE-Edito	r Editing: BLL lib VCO SUB peni	co Config: PLL lib PLL1 confi	
Launch File Edit View Cr	eate Check Ontions Wind			cādaņca.
Edular The Edic View C		<u>n</u> ch		cadence
🕒 🗁 🕰 🕞 🎉	🕛 🛅 🥱 🦿 🔍			
	Basic 🔽 🕎 🖳			
Navigator ? 🗗	× 🛥 PLL1 × 🔒 120 (VC	D_SUB) ×		
Config	* "pspice" descriptio	n for "PLL_lib", "VCO_SUB", "pspic	e"	A
	simulator lang=spice	ee waa die Maa		Gre
All	▶ R_R3 VC0_IN N	62958 20k		
Instances 19	▶ Q_Q1 N630400	N63108 0 Q2SC1815		
Nets 15	R_R6 N62792 0	02/46 i.2meg UT 1meg		=
Pins 2	R_R7 N62920 0	51k		
Nets and Pins	D_D1 N62792 0	UT D1S1588		75
GROUPS	C_C1 N62958 N	62746 1000p IC=0		
Types	R_R10 0 OUT	4.7k		650-
. ,pes	R_R9 N63108	UT 10k		(St
	R_R4 N62752 Ø	3k		
	X_U1B N62920	N62958 VCC VEE N62746 TL082		
	X U2A N62752	02920 51K N62746 VCC VEE N62792 TL082		
	R_R1 N62752 N	62792 10k		
	. ENDS			23
	.model Q2SC1815 NPN(I	s=639.5E-18 Xti=3 Eg=1.11 Vaf=172.	5 Bf=149.9 Ise=750.1E-18 Ne=1.	47 Ikf=0.8587 Nk=0.
	.model D1S1588 D(Is=	19.68p N=1.57 Rs=15.64m Ikf=0 Xti=	3 Eg=1.11 Cjo=1.389p M=0.1503	Vj=0.6842 Fc=0.5 Is
	.SUBCKT TL082 1 2 3	4 5		
	c1 11 12 5.0000E-12			
	css 10 99 1.0000E-30			
	dc 5 53 dy			
+	de 54 5 dy			
mouse L:		M:		R:
2(11) Instance '119'				L1 C1
		42	-0.	

圖六、PSpice Cell View 編輯視窗

Graser



當完成 PSpice 的 cell view 與 symbol 時,則可以依照我們的需求,開始建立起系統級的混和模擬電路 (圖七),完成之後,則使用 HED 檢查每一個 cell view 是否符合設計者的需求。接著,在 HED 的介面 上開啟 ADE(Analog Design Environment)的介面開始設定模擬環境(圖八),除了設定 Analog Solver 與 Outputs 之外,以下三點(1)(2)(3)需再多加留意。模擬完成之後,則會自動開啟 Viva 協助使用者偵 錯(圖九),假若使用者想要改變 Debugging 工具軟體為 SimVision,則需切換到 Interactive(debugger) 選項(4)。

ADE 操作注意事項:

- 1. 選擇模擬器:
- Setup > Simulator / Directory / Host > 在 Simulator 項目選擇"ams"
- 2. 選擇 PSpice Model:
- Setup > Model libraries > 載入 design.pspice
- 3. 選擇 RUN Mode:
- Simulation > Netlist and Run Options > 在 NETLIST AND RUN MODE 項目選擇 OSS-based Graser netlister with irun
- 4. 切換 Debugging tool 操作:

Simulation > Netlist and Run Options > 在 Simulation Mode 項目選擇 Grasel

- Viva(預設): Batch (normal)
- SimVision : Interactive (debugger)



圖七、使用 VSE 導入 PSpice 電路並做整合



aser

								L lib PLL	L confia						o x
ADE L CO					ADE	E L.	(1) - PL							!	
Launch S	ession	Set <u>u</u> p	Analyse	es <u>\</u>	<u>V</u> aria bl	les	<u>O</u> utputs	Simulation	<u>R</u> e sults	Tools	Help			cāde	nce
H. 00	l re F			A			=								
🗁 🖓		27	(<u>)</u>				-							0.70	2
esign Varia	ables						Analyse	es		_		_	_	? 🗗 X	AC
Nan	ne		Valu	ie		11	_ Type 1 tran	Enable	0 10m mo	derate	Argun	nents			OTran
						Ш		<u>.</u>							<u>T</u>
						Ш									-0-
						Ш									×
						Ш									0
						Ш									
						Hł			1111)			6
						Hk	Output	is	-			-	-		kΛ
						Шł	N 1 in ref	Name/Signal/i	Expr	Value	Plot	Save	Sa\ ves	ve Options	8.
						Ш	2 up n				Ī	-	ves		
							3 down				<u> </u>	 Image: A start of the start of	yes		
						Ш	4 vco_in					~	yes		
						Ш	5 pspice_	fb				V	yes		
						Ш	15							×	
5) Temp	perature	h-shice	_test/D0)308//	ADEIal	b/: tus:	Ready 1	T=27 C Sii	mulator: a	ms(Spect	re)Mode	e: batch	State	e:state1_psp	oice
(<mark>5)</mark> Temp	perature	rpspice.	_test/D0)30 8/	ADEIal	b/:	Ready 1 圖八、	T=27 c│s⊪ ADE 操作	mulator: a F介面	ms(Spect	re)Mode	e: batch	State	e:state1_psp	pice
<mark>5)</mark> Temp	perature G	rpspice.	_test/D0)30 8/,	ADEIal	b/:	Ready 1 圖八、	T=27 c│Sii ADE 操作	mulator: a F介面	ms(Spect	re)Mode	e: batch	State	e: state 1_psp	pice
<mark>5)</mark> Temp	perature	rashice.	_test/D0)30 8/	ADEIal	b/: tus:	Ready 1 圖八、	T=27 C Sii ADE 操作	mulator: a F介面	ms(Spect	rre)Mode	e: batch	State	e: state 1_psp	pice
5) Temp	ew <u>G</u> raph	Axis In	_test/D0	030 8/	ADEIal Sta Sta V 4 <u>e</u> asuren	b/: tus: /irtuo ments	Ready 1 圖八、 Goso (R) Vis T <u>o</u> ols Win	T=27 C Sii ADE 操作 sualization & A	mulator: a F介面 Analysis XL ^{Help}	ms(Spect	re)Mode	e: batch	State	e: state 1_psp	oice
5) Temp	ew <u>G</u> raph		_test/D0.	030 8/	ADEIal Star V Agasuren	b/: tus: /irtuo ments	Ready 1 圖八、 oso (R) Vis Tools Win	T=27 C Sil ADE 操作 Sualization & A	mulator: a F介面 Analysis XL Help Q: Q: 例 體	ms(Spect	rre)Mode	e: batch	State	e: state 1_psp cā d	oice
5) Temp	ew Graph	Axis Ir Axis Ir Axis Ir Axis Ir	ace Mark)30 8// ker M	ADEIal Star V Agasuren X C	b/: tus: /irtuo ments	Ready 1 圖八、 oso (R) Vis T <u>o</u> ols Win	T=27 C Sii ADE 操作 sualization & A ndow Browser	mulator: a F介面 Analysis XL Help Q: Q: Q: @	ms(Spect	re)Mode	family Classic	State	e: state 1_psp cād	oice
5) Temp	ew <u>G</u> raph	Axis In Axis In Axi	ace Mark	308// ker M €	ADEIal Star V Agasuren X C	b/: tus: /irtuo ments	Ready 1 圖八、	T=27 C Sii ADE 操作 sualization & A ndow Browser ② ③ ◎ @ ④	mulator: a F介面 Analysis XL Help	ms(Spect		family	State	e: state 1_psp cad cad	ice lenc
5) Temp	ew <u>G</u> raph ew <u>G</u> raph <u> </u>	Axis Ir Axis Ir Axis Ir Axis Ir Axis Ir Axis Ir Axis Ir Axis Ir Axis Ir	ace Mark	3308// ker M €	ADEIal Stat V 4 <u>e</u> asuren № Ω	b/i tus: /irtuo ments	Ready 1 圖八、 oso (R) Vis Tools Win 1 ※ () (2 ※ () (T=27 C Sin ADE 操作 sualization & A ndow Browser ② ③ ③ ④ ④ ④	mulator: a F介面 Analysis XL Help	ms(Spect	re)Modd	family Classic	State	e: state 1_psp cād 2 & & & & & & & & & & & & & & & & & & &	ice
5) Temp	ew <u>G</u> raph PLL1 config Vis	Axis Ir.	ace <u>Mark</u>	8308// ker M €	ADEIal Star V Agasuren % C N	b/i	Ready 1 圖八、 oso (R) Vis Tgols Win	T=27 C Sii ADE 操作 sualization & A ndow Browser ② ③ ② ③ ④	mulator: a F介面 Analysis XL Help	ms(Spect	re)Mode	family Classic	State	e: state 1_psp cā d 22 5:50:46 2	2016
5) Temp (ile Edit Vi (ile Edit Vi (ile Edit Vi (ile Control of the second (ile Control of the second (ew Graph	Axis Ir Axis Ir Axis Ir Axis Ir Axis Ir Axis Ir Axis Ir Axis Ir Axis Ir	ace Mark	ker M	ADEIal Stat Stat Stat Stat Stat Stat Stat Stat Stat Stat Stat Stat Stat 	b/: tus: /intuo ments	Ready 1 圖八、 oso (R) Vis Tgols Win (※ ((T=27 C Sin ADE 操作 Sualization & A Indow Browser	mulator: a F介面 Analysis XL Help	ms(Spect	Contraction of the second s	family Classic	State	e:state1_psp cād 2 2 2 15:50:46 2	oice
5) Temp	ew <u>G</u> raph PLL1 config Onse Vis S	Axis In Axis In bwindows:	ace Mark	ker M	ADEIal	b/: tus: /irtur) [Ready 1 圖八、 oso (R) Vis T <u>o</u> ols Win () ※ () ()	T=27 C Sin ADE 操作 sualization & A ndow Browser ② ③ ④ ④ ④	mulator: a F介面 Analysis XL Help	ms(Spect		family Classic	State	e: state 1_psp cā d 22 15:50:46 3	oice
5) Temp	ew Graph	Axis Ir.	ace Mark	ker M	ADEIal Star V Agasuren X C	b/: tus: /irtuo) ()	Ready 1 圖八、 oso (R) Vis Tools Win C ※ ①	T=27 C Sin ADE 操作 Sualization & A Indow Browser	mulator: a 手介面 Analysis XL Help	ms(Spect		family Classic	State	e: state 1_psp cād cād 2 22 15:50:46 2 Verilog	sice
5) Temp ile Edit Vi ile Edit Vi ile Edit Vi ile Vi PLL_lib ransient Resp ame /up_n /down	ew Graph w Graph PLL1 config onse Vis Config Con	Axis In Axis In bwindows: 5.5 1.5 1.5 1.5	ace Mark	ker M	ADEIal	b/:	Ready 1 圖八、 oso (R) Vis T <u>o</u> ols Win	T=27 C Sin ADE 操作 Sualization & A ndow Browser C Q Q Q ata Point	mulator: a F介面 Analysis XL Help	ms(Spect	re)Mode	family Classic	State	e: state 1_psp cād 2 2 2 15:50:46 2 Verilog	oice
5) Temp	ew Graph ew Graph Conse Vis	Axis In Axis In bwindows: 5.5 1.5 1.5 1.5 1.5 1.5 1.5 1.5	ace Mark	ker M	ADEIal Sta ↓ 4@asuren № 0	b/: tus: /irtue ments	Ready 1 圖八、 oso (R) Vis Tgols Win	T=27 C Sin ADE 操作 sualization & A ndow Browser ② ③ ② ③ ④ ④	mulator: a F介面 Analysis XL Help	ms(Spect		family Classic	State	e: state 1_psp cā d cā d 2 22 15:50:46 2 Verilog	
5) Temp	ew Graph	Axis In Axis In awindows: 55 1.5 1.5 1.5 1.5 1.5 1.5 1.5	ace Mark	ker M	ADEIal	b/: tus: /irtuc ments	Ready 1 圖 八 Oso (R) Vis Tgols Win 1 ※ () 2 ※ () 2 ※ ()	T=27 C Sin ADE 操作 Sualization & A Indow Browser	mulator: a F介面 Analysis XL Help	ms(Spect	re)Mode	family Classic	State	e:state1_psp cād 2 2 2 15:50:46 2 Verilog	
5) Temp	ew Graph ew Graph PLL1 config Onse Vis	Axis In Axis In 5.5 1.5 1.5 1.5 1.5 1.5 1.5 1	ace Mark	ker M	ADEIal	b/:	Ready 1 同八、 OSO (R) Vis Tools Win 2 ※ 0	T=27 C Sin ADE 操作 Sualization & A adow Browser C C C C C C C C C C C C C C C C C C C	mulator: a 手介面 Analysis XL Help	ms(Spect		family Classic	State	e: state 1_psp cā d 2 2 15:50:46 2 Verilog	2016
5) Temp	ew Graph	Axis Ir Axis Ir avindows: 5.5 1.5 1.5 1.5 1.5 2.0000 avindows: 2.5 1.5 1.5 1.5 1.5 1.5 2.0000 avindows: 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5	ace Mark	ker M	ADEIal Star Agasurem	b/: tus: /irtuc ments	Ready 1 圖八、、 oso (R) Vis Tools Win ② ※ ①	T=27 C Sii ADE 操作 sualization & A ndow Browser ② ③ ③ ④ ④ ata Point	mulator: a F介面 Analysis XL Help	ms(Spect		family Classic	State	e: state 1_psp cād cād 2 22 15:50:46 2 Verilog	
5) Temp	ew <u>Graph</u>	Axis In Axis In S55 1.5 1.5 1.5 1.5 1.5 1.5 1.5 1	ace Mark	ker M	ADEIal Sta		Ready 1 圖八、 oso (R) Vis T <u>o</u> ols Win 2 ※ 0 2 ※ 0 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0	T=27 C Sin ADE 操作 Sualization & A adow Browser C C C C C C C C C C C C C C C C C C C	mulator: a F介面 Analysis XL Help	ms(Spect	re)Mode	e: batch	State	e:state1_psp cād 2 215:50:46 2 Verilog	oice]
5) Temp	ew <u>G</u> raph ew <u>G</u> raph Conse Vis Conse Vis Cons	Axis In Axis In bwindows: 555 1.5 1.5 1.000 accord acc	ace Mark	ker M	ADEIal Star		Ready 1 B // · oso (R) Vis Tgols Win · · · ·	T=27 C Sin ADE 操作	mulator: a F介面 Analysis XL Help	ms(Spect		e: batch	State	e: state 1_psp cā d cā d 2	Dice
5) Temp	ew Graph	Axis In Axis In S55 1.5 1.5 1.5 1.5 1.5 1.5 1.5 1	ace Mark	ker M	ADEIal Star V Agasurem % C	b/: tus: /irtue ments	Ready 1 圖 八 oso (R) Vis Tools Win C S C S I I I	T=27 C Sin ADE 操作	mulator: a 手介面 Analysis XL Help 日 日 日 日 日 日 日 日 日 日 日 日 日	ms(Spect		family Classic	State	e: state 1_psp cā d cā d 2 2 15:50:46 2 44r 22 15:50:46 2 Verilog	
5) Temp	ew <u>G</u> raph ew <u>G</u> raph PLL1 config onse Vis	Axis In Axis In 5.5 1.5 1.5 1.5 1.5 2.050 2.400 Priloc 1.45 1.45 1.45 1.45 1.5 1.45 1.5 1.000 Priloc Priloc	ace Mark	ker M	ADEIal Star V Igasuren Se C N V Igasuren I I I I I I I I I I I I I I I I I I I	b/: tus: /irtuo ments iiiiiiiiiiiiiiiiiiiiiiiiiiiiiiiiiiii	Ready 1 Image: Construction of the second	T=27 C Sin ADE 操作	mulator: a F介面 Analysis XL Help C C C C C C C C C C C C C C C C C C C	ms(Spect		e: batch	State	e: state 1_psp cā d cā d 2 22 15:50:46 2 Verilog	2016
5) Temp Eile Edit Vi Eile Edit Vi Constent Resp ame /up_n /down /vco_in /vco_in /pspice_i mouse L: a) Auto	ew Graph	Axis Ir Axis Ir avindows: 5.5 1.5 1.5 1.5 1.000 avindows: 2.1000 avindows: 300000 avindows: 300000 avindows: 300000 avindows: 300000 avindows: 300000 avindows: 3000000000 avindows: 3000000000000000000000000000000000000		208//	ADEIal Stat V Agasuren Solutio	b/: tus: /irtuc ments	Ready 1 Image: Construction of the second	T=27 C Sin ADE 操作 Sualization & A ndow Browser ata Point	mulator: a F介面 Analysis XL Help	ms(Spect		family family Classic	State	e: state 1_psp cā d cā d 2 2 15:50:46 2 44r 22 15:50:46 2 Verilog	oice]
(5) Temp	berature	Axis In Axis In 5.5 1.5 1.5 1.5 1.5 1.5 1.5 1	ace Mark	ker M	ADEIal Stat	b/: tus: /irtua ments iiiiiiiiiiiiiiiiiiiiiiiiiiiiiiiiiiii	Ready 1 Image: Construction of the second	T=27 C Sin ADE 操作	mulator: a F介面 Analysis XL Help C C C C C C C C C C C C C C C C C C C	ms(Spect		e: batch	State	e: state 1_psp cā d cā d 2 2 15:50:46 2 Verilog	oice

http://www.graser.com.tw



AIUM 設計流程 (IES + MMSIM)

AIUM 設計流程主要以 IES 為 AMS 設計平台, IES 為數位模擬器,主要負責 Verilog、VHDL、...、等 相關數位電路設計與驗證相關的語言,假若遇到 Spice、Spectre 或者是 PSpice 相關的類比電路設計 語言,那麼則由 Spectre 或者是 APS 類比模擬器進行模擬,模擬完成之後則採用 SimVision 協助使用 者進行值錯。另外 acf.scs(圖十一)主要設定 Analog Solver(tran,dc,ac 與 noise)、option 與 probe 相關 內容; amscf.scs(圖十二)則是設定 amsd block(portmap、config 與 ie)、載入 spice 檔、載入 model 與載入 acf.scs 設定檔,其中 portmap card 主要掌管 spice 與 hdl 之間的連結, config card 掌管 cell/instance 所使用的 view(spice 與 hdl), ie card 則是掌管 connect module。



http://www.graser.com.tw



Graser

Gras

接著,當我們要載入 PSpice 的電路到 AMS 設計平台時,則需使用

- Spectre 格式: pspice_include "filter.lib"
- SPICE 格式:.pspice_include "filter.lib"

的語法將 PSpice 做載入。載入完成之後須將 PSpice 做成一個 sub-circuit 並提供相對應的電源(圖十三),完成 sub-circuit 則可以讓頂層的 Verilog 語言進行運用與模擬(圖十四)。模擬完成則採用 SimVision

進行偵錯(圖十五)。

. . .

simulator lang=spice

simulator lang=spectre pspice_include "../pspice/vco.lib" simulator lang=spice

.subckt pll_top out vcc vin vee xi0 out vcc vin vee VCO_SUB V1 vcc 0 dc 15 V3 vee 0 dc -15 .ends pll_top

simulator lang=spectre

圖十三、載入 PSpice 電路

counter counter_inst(.asynch_reset(asyn_rst), .clock(vcoclk), .out(out));
alu alu_inst (

.result(result),

- .overflow(overflow),
- .underflow(underflow),
- .eq(eq), .gt(gt), .st(st),
- .clk_p(vcoclk), .rst_n(asyn_rst), .carry_in(ci),
- .in_a(in_a), .in_b(in_b),
- .select(sel)

);

pll_top

inst_pll_top(.out(vcoclk),.vcc(vcc),.vin(inst_vin_ctrl.vin_o),.vee(vee)); vin_ctrl inst_vin_ctrl(.vin_o(inst_pll_top.xi0.vin));

圖十四、Verilog 頂層設計內容



3561

A A A A A A A A A A A A A A A A A A A	0.		GE.	
*	Waveform 1 - SimVision			_ = ×
<u>F</u> ile <u>E</u> dit ⊻iew Explore For <u>m</u> at <u>W</u> indows <u>H</u> elp				cādence
\$* 7\$ \$\$ \$\$ \$\$ \$ \$ \$ \$ \$ \$ \$ \$ \$ \$ \$ \$ \$			🗳 - 🛖 🛛 Send To: 🗽 🚓	🔍 💒 🎹 🔲 📰 🔜 🛋
Normal Search Names: Sign	al 🗸 🔍 👘 🎆 Search Times:	Value▼ ▼ 前, 前,	Time: 28-28.9078022434868	= #
besign Browser Scope: All Available Data	rilog MS sor ev [29ms 30m	s 31ms 32ms	33ms 34ms	35ms 36ms
B→O testbench B→O alu_inst →O counter_inst				
B - O inst_pll_top O inst_pll_topx10.vin. PSpice inst_vin_ctrt vcoclk_Bidir_2_erecurcar xcd xcoclk_bidir_2_erecurcar	-0.0701⊁ ÷-3 5		▶ (0+) (0+) (0+) (0+) (0+) (0+) (0+) (0+)	127214V + - 0.0701863V - 0.0701863V
Find: String	5:0] 'h 0001 0▶ 6▶ 0▶ 247₽ 0	000 FE 85	0000 AFEB	(0) (c) (0) (z) (0) (b)
⊕ 🧠 cal_ina(15:0)	'h 0000 0► 0► 0► 007F 0	0072 0072	007c 007B	(0) (0) (0) (0) (0) (0)
Show contents: In the selector below-	'h 0000 0► 0► 0► 0049 0	04A 004B	004c 004p	
Image: Selection of the selection		007F007E	(0076)	Verilog
	'h 0000 0► 0► 0► 007F 0	007 <u>p</u>	007c 007B	<u>X 0F X 0F X 0F X 0F X 0F</u>
	^h 0000 <u>}0 }0 }0 }0049 }0</u>	04A (004B	004c 004b	<u> </u>
	'h 0000 00c3			
Click and add to waveform area	0			1 21
			. 50 60 70	180 190 100ms
Ø 🐎 🕞				0 objects selected
日 日	十五、與 PSpice 模擬	結果		

總結

經由上述的說明,我們可以了解到 AVUM 與 AIUM 設計流程,可以協助使用者在模擬階段看到 FPGA 與周邊的電路兩邊互相工作狀況,而無須因為修改 HDL 來源碼,需不斷重複進行合成、實現與燒入的 動作,若 HDL 來源碼複雜度越高,那麼重複性的動作也相對需花費更多時間。最後,下一篇 FPGA 混和模擬文章將會撰寫有關如何將 HDL、IBIS 與 PSpice 進行模擬,以更貼近實體訊號運作狀況。 Graser

Graser

Graser

本版Technic Note版權為 映陽科技股份有限公司 所有,未經允許不得任意轉用。 © 2016 Graser Technology Co.,Ltd.