

Cadence® Incisive® v15.1 加強晶片設計操作便利性

這些年，Cadence 一直不斷地收集客戶的問題與改善，其目的是爲了讓產品能夠更符合於使用者的需求。在 Incisive 的產品上，我們將分享 2 個好用的 Option 與 1 個 MSIE 新增的功能：

1. Redo - 執行 IRUN 多筆歷史紀錄命令。
2. Licinfo - License 檢查小幫手。
3. MSIE - Single-Step 可支援 defparam 關鍵字。

• **Date** : 2016 / 02 / 13

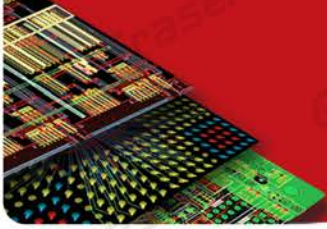
• **Author** : Paine

• **Revision** : v1.0

• **Version** : IES15.1

• **備註**:

Graser® <http://www.graser.com.tw>



Cadence® Incisive® v15.1 加強晶片設計操作方便性

這些年，Cadence 一直不斷地收集客戶的問題與改善，其目的是為了讓產品能夠更符合於使用者的需求。在 Incisive 的產品上，我們將分享 2 個好用的 Option 與 1 個 MSIE 新增的功能：

1. Redo - 執行 IRUN 多筆歷史紀錄命令。
2. Licinfo - License 檢查小幫手。
3. MSIE - Single-Step 可支援 defparam 關鍵字。

Redo – 執行 IRUN 多筆歷史紀錄命令

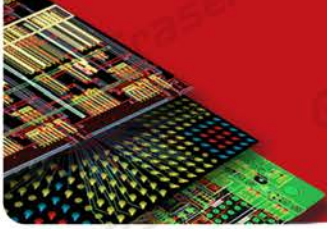
當我們要重複使用 irun 進行多筆不同參數的模擬時，除了可以使用腳本進行之外，不妨可以參考 v15.1 版新增的參數 -redo，要使用 redo 之前，我們先使用 irun -history 的指令，該指令會顯示之前所輸入的命令與 redo 的代碼，接著，當我們要執行某一行命令且該命令的代碼為 s2，那麼我們則輸入 irun -redo s2，這麼一來 irun 則會執行我們指定代碼的命令。另外，如果要執行全部的命令，那麼我們則需輸入 irun -redo all 即可。

```
[Paine@ICWorkStation IES_script]$ irun -history
irun(64): 15.10-s022: (c) Copyright 1995-2016 Cadence Design Systems, Inc.
s1(14Feb2017:13:29:11): irun -compile -mess /usr3/TOOLS/INCISIV/INCISIV/tools/affirma_ams/etc/vhdlams_connectlib_samples/E2REAL.vhms
/usr3/TOOLS/INCISIV/INCISIV/tools/affirma_ams/etc/vhdlams_connectlib_samples/E2R_above.vhms /usr3/TOOLS/INCISIV/INCISIV/tools/affirma_ams/etc/vhdlams_connectlib_samples/E2STD
LOGIC_2.vhms /usr3/TOOLS/INCISIV/INCISIV/tools/affirma_ams/etc/vhdlams_connectlib_samples/E2STD_LOGIC_IE.vhms /usr3/TOOLS/INCISIV/INCISIV/tools/affirma_ams/etc/vhdlams_connectlib
samples/STD_LOGIC2E.vhms /usr3/TOOLS/INCISIV/INCISIV/tools/affirma_ams/etc/vhdlams_connectlib_samples/STD_LOGIC2E_2.vhms /usr3/TOOLS/INCISIV/INCISIV/tools/affirma_ams/etc
/vhdlams_connectlib_samples/STD_LOGIC2E_IE.vhms /usr3/TOOLS/INCISIV/INCISIV/tools/affirma_ams/etc/vhdlams_connectlib_samples/STD_LOGIC2E_BIDIR.vhms /usr3/TOOLS/INCISIV/INCISIV/tools/affirma_ams/etc/vhdlams_connectlib_samples/STD_LOG
IC2E_BIDIR_IE.vhms -l vhdlams.log
s2(14Feb2017:13:29:14): irun -V93 -64bit -RELAX -NAMEMAP MIXGEN ./glbl.v ./rtl/example_top.vhd ./rtl/iodrp_controller.vhd ./rtl/iodrp_mcb
controller.vhd ./rtl/mcb_raw_wrapper.vhd ./rtl/mcb_soft_calibration.vhd ./rtl/mcb_soft_calibration_top.vhd ./rtl/memc3_infrastruct
ure.vhd ./rtl/memc3_tb_top.vhd ./rtl/memc3_wrapper.vhd ./rtl/traffic_gen/afifo.vhd ./rtl/traffic_gen/cmd_gen.vhd ./rtl/traffic_g
en/cmd_prbs_gen.vhd ./rtl/traffic_gen/data_prbs_gen.vhd ./rtl/traffic_gen/init_mem_pattern_ctr.vhd ./rtl/traffic_gen/mcb_flow_control.vhd ./rtl/traffic_gen/mcb_traffic_gen.vhd ./rtl/traffic_gen/rd_data_gen.vhd ./rtl/traffic_gen/read_data_path.vhd ./rtl/traffic_gen/read_posted_fifo.vhd ./rtl/traffic_gen/sp6_data_gen.vhd ./rtl/traffic_gen/tg_status.vhd ./rtl/traffic_gen/v6_data_gen.vhd ./rtl/traffic_gen/wr_data_gen.vhd ./rtl/traffic_gen/write_data_path.vhd ./sim/functional/ddr2_model_c3.v ./sim/functional/sim_tb_top.vhd ./amsf.scs -cdslib ./ies lib/cds.lib -reflib ./ies lib/unisim -reflib ./ies lib/xilinxcorelib -top glbl -timescale lps/lps -top sim_tb_top -access rwc -input do_sim_signal.tcl -solver spectre -spectre_args +mts +aps -createdebugdb -AUTOSPICE00MR -chkdigdisp -ieinfo -iereport
[Paine@ICWorkStation IES_script]$
```

圖、使用 irun -history 命令顯示所有的模擬記錄

```
[Paine@ICWorkStation IES_script]$ irun -redo s2
irun(64): 15.10-s022: (c) Copyright 1995-2016 Cadence Design Systems, Inc.
Redoing step s2: irun -V93 -64bit -RELAX -NAMEMAP MIXGEN ./glbl.v ./rtl/example_top.vhd ./rtl/iodrp_controller.vhd ./rtl/iodrp_mcb
controller.vhd ./rtl/mcb_raw_wrapper.vhd ./rtl/mcb_soft_calibration.vhd ./rtl/mcb_soft_calibration_top.vhd ./rtl/memc3_infrastruct
ure.vhd ./rtl/memc3_tb_top.vhd ./rtl/memc3_wrapper.vhd ./rtl/traffic_gen/afifo.vhd ./rtl/traffic_gen/cmd_gen.vhd ./rtl/traffic_g
en/cmd_prbs_gen.vhd ./rtl/traffic_gen/data_prbs_gen.vhd ./rtl/traffic_gen/init_mem_pattern_ctr.vhd ./rtl/traffic_gen/mcb_flow contro
l.vhd ./rtl/traffic_gen/mcb_traffic_gen.vhd ./rtl/traffic_gen/rd_data_gen.vhd ./rtl/traffic_gen/read_data path.vhd ./rtl/traffic_g
en/read_posted_fifo.vhd ./rtl/traffic_gen/sp6_data_gen.vhd ./rtl/traffic_gen/tg_status.vhd ./rtl/traffic_gen/v6_data_gen.vhd ./rtl
/traffic_gen/wr_data_gen.vhd ./rtl/traffic_gen/write_data_path.vhd ./sim/functional/ddr2_model_c3.v ./sim/functional/sim_tb_top.vhd
./amsf.scs -cdslib ./ies lib/cds.lib -reflib ./ies lib/unisim -reflib ./ies lib/xilinxcorelib -top glbl -timescale lps/lps -top sim
tb_top -access rwc -input do_sim_signal.tcl -solver spectre -spectre_args +mts +aps -createdebugdb -AUTOSPICE00MR -chkdigdisp -ieinfo
-iereport
INCLUDE /usr/eda/INCISIV/tools.lnx86/inca/files/cds.lib
irun: *W,DLCPATH (/ies_lib/cds.lib,1): cds.lib No such file '/usr/eda/INCISIV/tools.lnx86/inca/files/cds.lib' (cds.lib command ignored)
irun(64): 15.10-s022: (c) Copyright 1995-2016 Cadence Design Systems, Inc.
INCLUDE /usr/eda/INCISIV/tools.lnx86/inca/files/cds.lib
```

圖、使用 irun -redo 命令指定某一記錄代碼



Licinfo – 檢查小幫手

該 option 對於 license 管理非常有用,假若我們進行某一模擬流程時,不確定該流程需要哪些 license ,那麼我們可以嘗試使用該參數來進行檢查。若我們要進行某一數位模擬時,有加上該參數,那麼我們在跑模擬前會得到 3 種不同 license 可以支援該模擬流程,分別為 Incisive_HDL_Simulator、Incisive_Enterprise_Simulator 與 Incisive_Enterprise_Verifier。另外,該顯示的順序也代表模擬器找 license 的順位,若使用者想改變該搜尋順位,那麼我們可以嘗試使用-uselicense 做順位上的改變(例如: irun -licinfo -uselicense IESXL:IESL:IEV)。

```
ncsim(64): 15.10-s022: (c) Copyright 1995-2016 Cadence Design Systems, Inc.
1 Incisive_HDL_Simulator
OR
1 Incisive_Enterprise_Simulator
OR
1 Incisive_Enterprise_Verifier
Loading snapshot worklib.alu_tb:v ..... Done
```

圖、使用 irun -licinfo 命令顯示模擬流程所需的 license

```
ncsim(64): 15.10-s022: (c) Copyright 1995-2016 Cadence Design Systems, Inc.
1 Incisive_Enterprise_Simulator
OR
1 Incisive_HDL_Simulator
OR
1 Incisive_Enterprise_Verifier
Loading snapshot worklib.alu_tb:v ..... Done
```

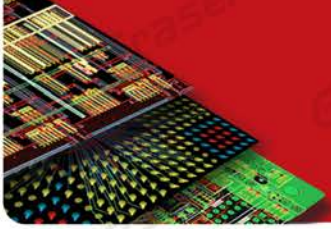
圖、使用 irun -uselicense 命令改變 license 使用順位

MSIE – 可支援 defparam 關鍵字

MSIE 的模擬方法主要是減少重複性的模擬,以縮短模擬的時間。目前在 v15.1 版,MSIE 的 single-step 流程可以支援 defparam 的 Verilog 關鍵字。假設我們有一筆 testbench(test.v) 含 defparam 要測試單筆的 dut(top.v),假若 top.v 是固定不變的來源碼,那麼 top.v 屬於 Primary; test.v 是內含隨時可以調整參數的來源碼,故屬於 Incremental。當確認好 Primary 與 Incremental 時,那麼我們需輸入 irun top.v test.v -primp soc 的命令進行模擬,其模擬結果顯示於 Result 欄位上。

表、MSIE 測試的來源碼

Top.v --Primary	Test.v --Incremental
<pre>module soc; mid mid(); endmodule module mid; parameter p1 = 5; endmodule</pre>	<pre>module tb; soc soc1(); soc soc2(); defparam soc1.mid.p1 = 20 defparam soc2.mid.p1 = 15; endmodule</pre>



表、MSIE 測試的結果

```
Result
% irun top.v test.v -prmtop soc
irun: 15.10-p001: (c) Copyright 1995-2015 Cadence Design Systems, Inc.
file: top.v
    module worklib.soc:v
        errors: 0, warnings: 0
    module worklib.mid:v
        errors: 0, warnings: 0
file: test.v
    module worklib.tb:v
        errors: 0, warnings: 0
Analyzing MSIE partitioning ...
    Elaborating the design hierarchy (primary partition):
    ...
    Writing primary snapshot: worklib.soc:v
    Elaborating the design hierarchy (primary partition):
    ...
    Writing primary snapshot: worklib.soc_msie_internal_prim2:v
Loading primary snapshot worklib.soc:v ..... Done
Loading primary snapshot worklib.soc_msie_internal_prim2:v
..... Done
    Elaborating the design hierarchy (incremental partition):
    [MSIE] Instance tb.soc1 is bound to module worklib.soc:v in primary
snapshot worklib.soc_msie_internal_prim2:v
    [MSIE] Instance tb.soc2 is bound to module worklib.soc:v in primary
snapshot worklib.soc:v
    ...
    Writing incremental snapshot: worklib.tb:v
Loading snapshot worklib.tb:v ..... Done
...
ncsim> run
ncsim: *W,RNQUIE: Simulation is complete.
ncsim> exit
```