

## 從基本 Power Integrity(PI) 做起 ~ 談 Sigrity PI 分析

近日地震頻繁，讓我們更能感受到如果相關的城市運作是建構在一個不穩定的基礎上，那會是多麼可怕的事情。

同樣地，PCB 上的系統運作若是沒有穩定的電源供給和完整的銅箔回路來提供正確的回流，那麼它的運作能否夠穩定是值得懷疑的！

再加上現今 IC 的工作電壓越來越低，讓我們能忍受的壓差範圍也越來越小，所以基本的 Power Integrity(PI) 分析是我們 Project 能否順利運作的第一步。在 Sigrity PI 分析中，有 PowerDC 作直流分析和 OptimizePI 作 Impedance 交流分析，讓我們顧好 PI 電源品質並完成訊號分析的第一步。

• **Date** : 2017 / 01 / 03

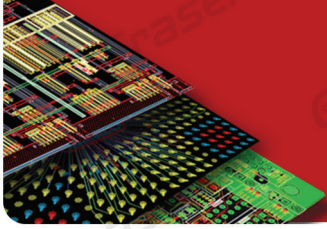
• **Author** : Eric Chen

• **Revision** : 1.0

• **Version** : Cadence® Allegro® Sigrity™ 2016 / Sigrity™ 2017

• **備註**:

**Graser**<sup>®</sup> <http://www.graser.com.tw>



## 從基本 Power Integrity(PI) 做起 ~ 談 Sigrity PI 分析

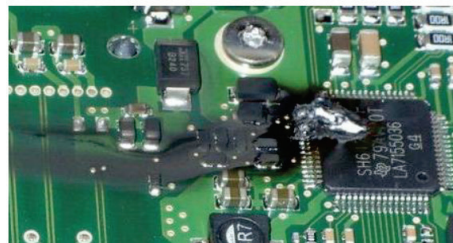
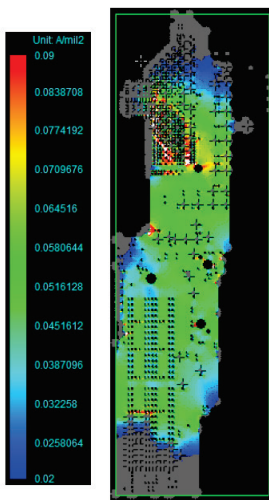
近日地震頻繁，讓我們更能感受到如果相關的城市運作是建構在一個不穩定的基礎上，那會是多麼可怕的事情。

同樣地，PCB 上的系統運作若是沒有穩定的電源供給和完整的銅箔回路來提供良好的回流路徑，那麼它的運作能否夠穩定是值得懷疑的！再加上現今 IC 的工作電壓越來越低，這會讓 IC 工作所能忍受的壓差範圍也越來越小，所以基本的 Power Integrity(PI) 分析是我們 Project 能否順利運作的第一步。在 Sigrity PI 分析中，有 PowerDC 作直流分析和 OptimizePI 作 Impedance 交流分析，讓我們顧好 PI 電源品質並完成訊號分析的第一步。

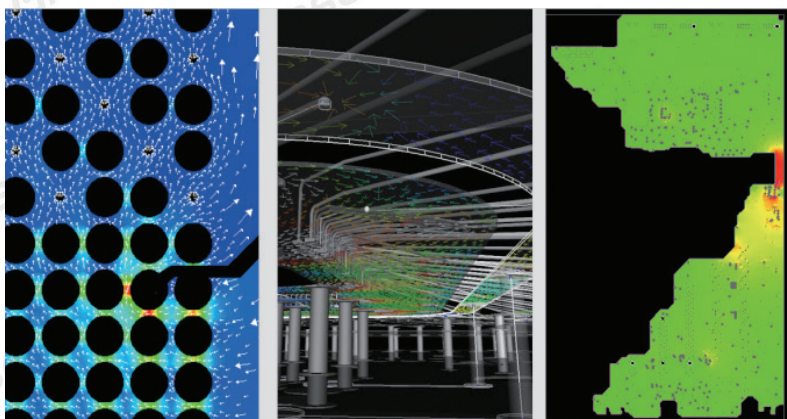
### 直流分析 PowerDC

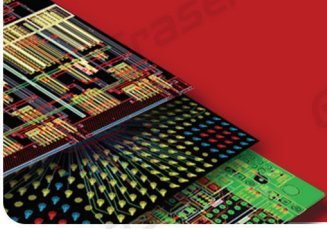
在一般 PCB 的 DRC 檢查架構下，所能檢查的就是~兩點有沒有連接以及與其他訊號的間距是否足夠。所以兩片銅箔之間只以一小個 Trace 連接，或是跨層之間只打了一個小小的 VIA，對 DRC 檢查來說都不算是問題。

但在現實中往往當此單位面積的銅需要流經大電流，但因銅箔寬度不足而有燒毀或壓降過大的狀況，導致在同一片銅箔上有過大的壓差，造成 IC 運作異常。



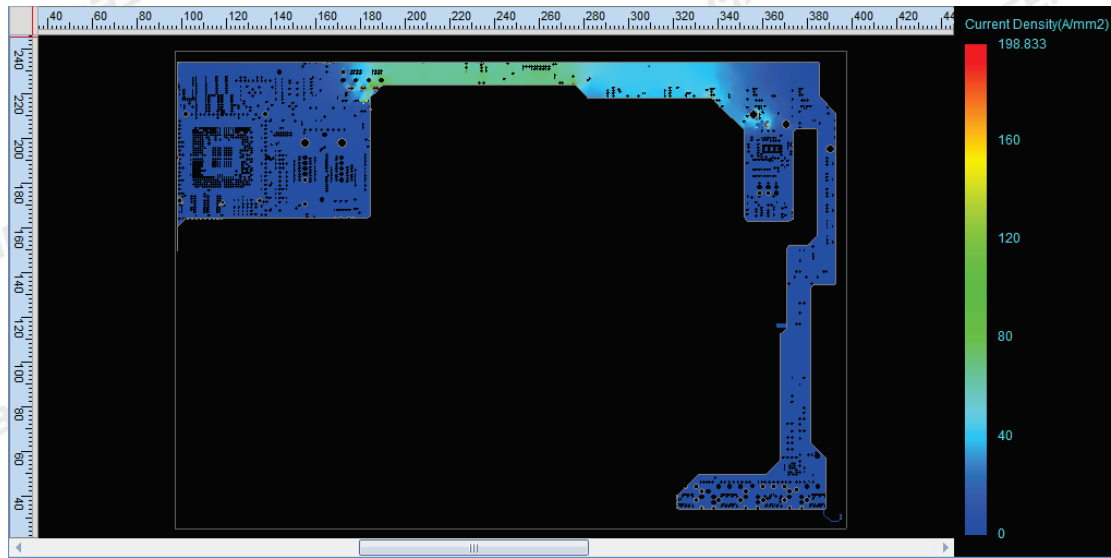
Temperature Rise = 300c



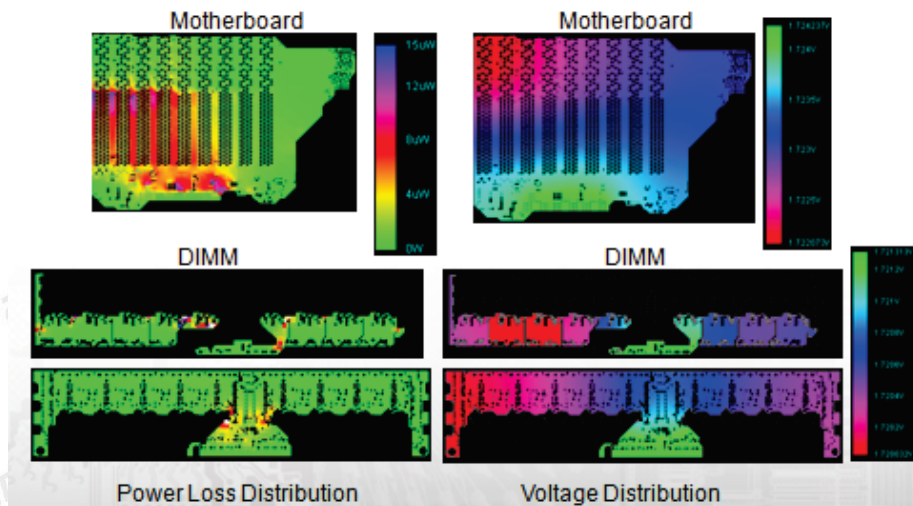


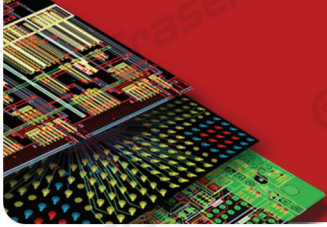
PowerDC 在經過簡單的定義設定過 VRM 和 Sink 端等之後，就能快速地將我們的 Layout 做出以下的分析：

1. IR-Drop 及 Current Density 分析，以求得 Power Plane 上各點實際電壓或電流密度的瓶頸點。

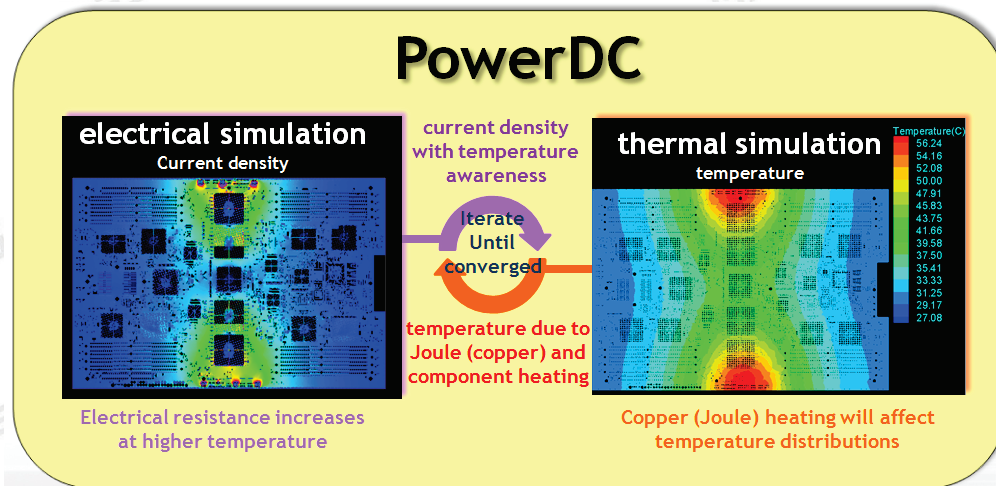


2. 可連結多個板子進行系統連接分析，如以下多個 DIMM 插在主機板上的電源分析，或背板上插上多片子卡的電源分析。





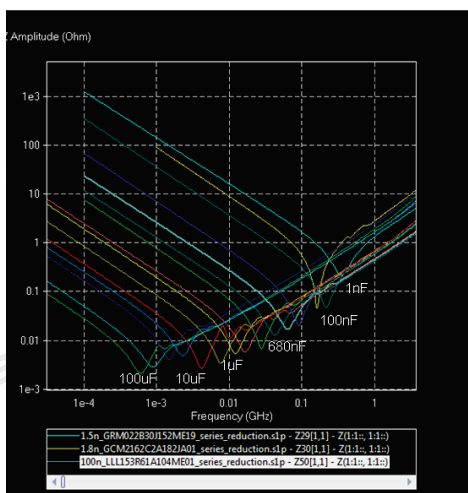
3. Electric-Thermal Co-Sim 電與熱的混和分析，電流會對銅箔造成的溫昇，溫度也會影響銅箔電阻的變化，除此之外，大部分的電能都會轉化成零件的熱而散佚，這些熱都會對銅箔電阻造成影響。因此，我們必須把熱與電一起考量進來，E/T Co-Sim 會自動進行熱與電的資料互拋運算，得出最終熱平衡後的結果。



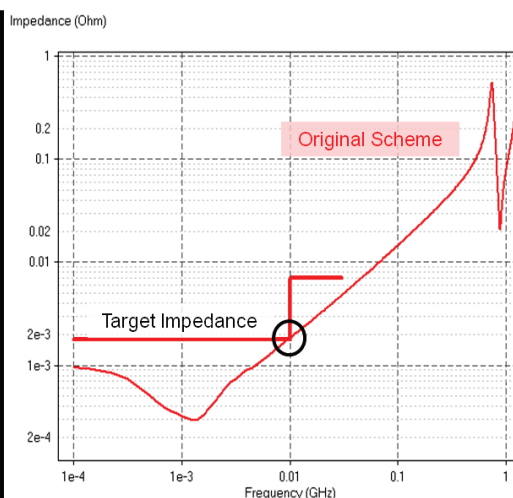
### 交流分析 OptimizePI

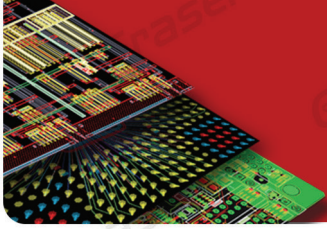
電源內部的交流雜訊必須透過解偶電容來處理，但電容的擺放位置、規格是否有對應到？OptimizePI 可以幫我們計算出設計中 Power/GND 的 Impedance，我們可以依照所需的工作頻段選取適當的 DeCAP 解偶電容來降低其 Impedance，但是面對數量眾多的 DeCAP 電容，該如何取得最佳的電容組合則是一個複雜的統計問題了。OptimizePI 可以幫我們找出最好的幾種組合，我們只要從中挑選出所要的情境就好，OptimizePI 會把最終的 DeCAP 解偶電容組合產出報表並可回編至 PCB 中。

Different Decap Resonant Frequency



P/G Plane Impedance





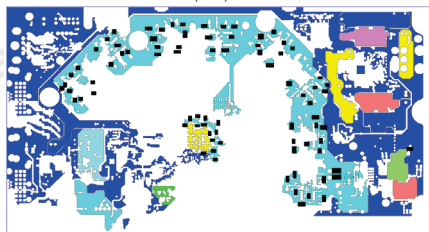
1. OptimizePI 會以不同的 Schema 列出各種 DeCAP 解偶電容的組合狀態，我們可以比對原始設計的阻抗曲線狀，挑選其它擁有較佳阻抗曲線狀的 Schema 來得到所要的最佳 De-CAP 組合，達到以更少的電容(成本)實現更低 Impedance 的目的。

## Optimization Results Performance vs. Cost

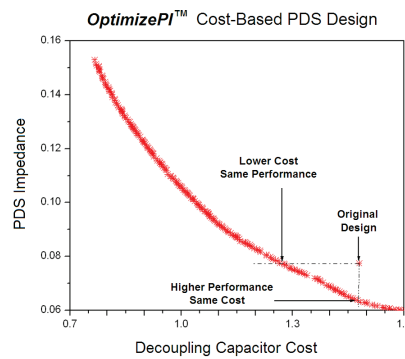


(before)

OptimizePI reduces decoupling capacitor count.



(after)



Graser logos are trademarks of Graser Technology Corporation.

Graser®

2. OptimizePI 也有另外的 Workflow 可以讓我們來探究各個 DeCAP 解偶電容對 IC 的 Loop Inductance，幫助我們找出擺放位置較不易抽電的 DeCAP 電容。

## Quickly Identify Ineffective Decap Locations with Loop Inductance Display

