

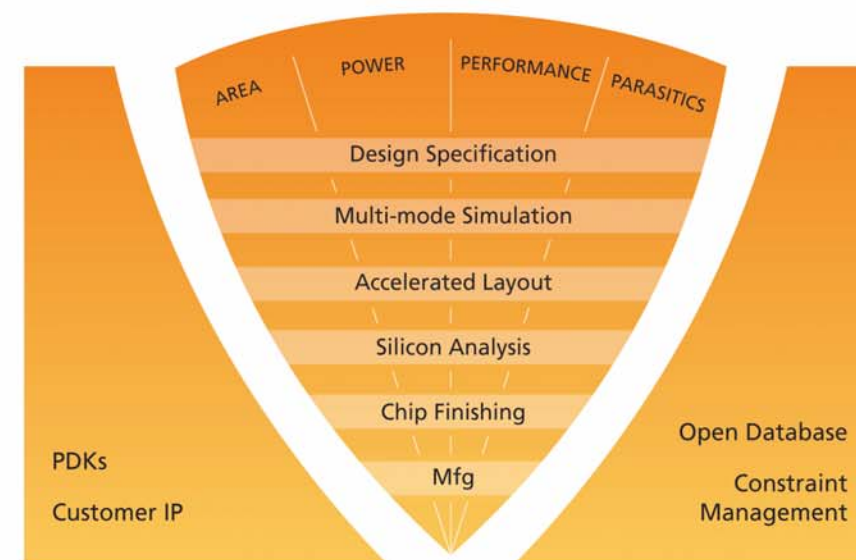
Cadence Virtuoso L

CUSTOM DESIGN PLATFORM

為簡化設計 Custom IC 的流程，並將其整合到終端產品中，半導體和系統公司需要精密的軟體和設計流程方法，以達成迅速上市和迅速量產的目標。Cadence® Virtuoso® Custom Design Platform 提供了極其迅速而保證晶片精確的方式，進行客制化類比、射頻和混合信號 IC 的設計。

Cadence Virtuoso L

Cadence Virtuoso Custom Design Platform L 是入門級的客製 IC 專業平台，不論您的 IC 是應用在類比、混和訊號或是全數位的設計，Virtuoso 平台都能提供您一個從前端到後段的整合流程，以及各種不同程度的解決方案以符合各種客製 IC 不同的設計需求。



VIRTUOSO SCHEMATIC EDITOR L

Design Composition

- Complete design hierarchy support
- Simplified automatic generation of an HDL template
- Support of multi-sheet schematics
- User-configurable command bindkeys and label display
- Dynamic highlighting for easy design correction
- Automated interactive connection router
- User-configurable selection with filtering
- Comprehensive symbol creation and editing features
- User-configurable undo/redo levels
- Move, copy, stretch, rotate, and delete editing options
- Search and replace features
- Customizable tool environment using Cadence SKILL
- Online help using HTML-formatted publications

Design Checking

- Schematic or symbol cellviews checked individually
- Entire design hierarchy with one command
- Connectivity and consistency across pages and hierarchy
- Schematic rules checker (SRC) makes both logical and physical checks

Design Inputs

- EDIF 2.0.0 netlist
- Circuit design language (CDL)
- SPICE
- VHDL IEEE 1076-1993
- Verilog IEEE1364
- OpenAccess data objects

Design Outputs

- EDIF 2.0.0 netlist
- CDL
- SPICE
- OA

VIRTUOSO ANALOG DESIGN ENVIRONMENT L

Interactive Simulation Environment

- Reuse of simulation set-ups
- Cross-probing support for both schematics and layouts
- Design variable support
- Auto-plotting and printing of simulation data
- Batch scripting
- Schematic annotation of node voltages and device information

Waveform Display

- Support for multiple Y-axes, strip plots and Smith Charts
- Built-in waveform calculator
- Independent sub-window displays
- Horizontal and vertical measurement markers
- Independent pan and zoom capability
- User-defined labels and titles
- Color and line style controls
- Signal browser

Distributed Processing

- Distribution of multiple simulations
- Efficient use of existing computer farms
- Built-in basic load balancing or interface to other LSF load balancing tools
- Job monitoring and controlling functions
- Graphical user interfaces for setup and viewing status

Design Inputs

- OpenAccess data objects
- Circuit design language (CDL)
- SPICE

Design Outputs

- SPICE
- PSF waveform format
- SST2 waveform format
- Cadence SKILL

VIRTUOSO LAYOUT SUITE L

Layout Creation and Editing

- Menu-driven QCell or SKILL programmable automated device generation
- Design-rule-driven editing with realtime notification or enforcement of process rules
- Dynamic measurement
- Point-to-point interactive router
- Automated alignment feature
- Mark Net continuity checking and highlighting
- Graphical library browser
- Unlimited design hierarchy support
- Multi-window editing supporting on the same or different design data
- Pre- and post-selection modes
- Create and edit polygons, paths, rectangles, circles, ellipses, donuts, pins, and contacts in layout cell views
- Comprehensive search and replace features
- Pcell support for changing the size, shape, or contents of each cell instance without changing the original cell
- Customizable tool environment using Cadence SKILL programming language
- World viewer

Design Inputs

- SKILL
- STREAM format
- OpenAccess database

Design Outputs

- SKILL
- STREAM format
- OpenAccess database

THIRD-party support

- Process design kits
- Virtuoso Analog Design Environment: Interfaces to commercial circuit simulators are available, including Synopsys Hspice, Mentor Graphics Eldo, Silvaco SmartSpice and Agilent ADS. In addition, software is available to integrate proprietary circuit simulators
- Virtuoso Layout Suite and Virtuoso Schematic Editor: SKILL-based and OpenAccess tools and functions

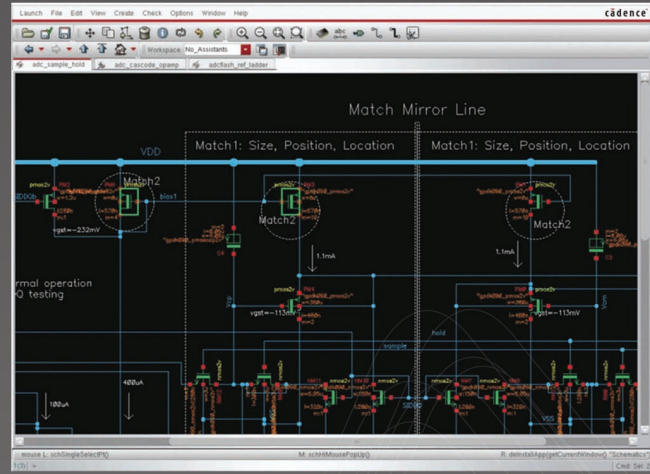
VIRTUOSO CUSTOM DESIGN PLATFORM L FEATURES

	Virtuoso Schematic Editor L	Virtuoso Analog Design Environment L	Virtuoso Layout Suite L
New Common Cockpit	X	X	X
New Icon Style	X	X	X
Multi-Tab Support	X	X	X
Bookmarks & History	X	X	X
Updated Pull-down Menus	X	X	X
Window Config Support	X	X	X
World View Assistant	X	X	X
Search Assistant	X	X	X
Property Editor Assistant	X		X
Navigator assistant	X		
Single Testbench		X	
Simple Parametric Analysis		X	
Device Checking		X	
Global Variable Support		X	
Updated Wavescan		X	
New Calculator		X	
Simulation Support: Virtuoso		X	
Multi-Mode Simulation, HSPICE			
Basic Polygon Editing			X
QCells			X
DRD Editing			X
Constraint Browser			X
Search Assistant			X
Property Editor Assistant			X

<http://www.graser.com.tw>

Your EDA Partner

VIRTUOSO SCHEMATIC EDITOR L



快速精確的線路輸入

Virtuoso Schematic Editor L 的強大功能提供您快速易用的設計輸入環境，利用其完備的零件庫使得 gate 和 transistor levels 的設計更加快速，再加上便利的接線功能，使我們面對更大更複雜的設計時能更加順手。除此之外，階層式編輯器能方便地管理其階層的關係，當您的設計是規劃成階層式的結構時，也能確保整體設計中所有接線的正確性。

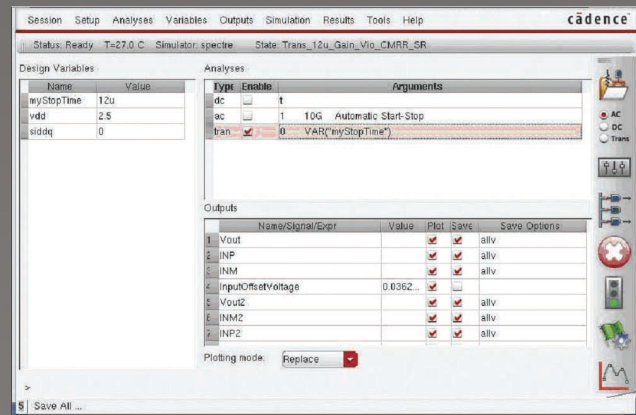
業界標準的設計語言

利用業界的兩種先進的硬體描述語言 VHDL 和 Verilog HDL，Virtuoso Schematic Editor L 可方便地套用到 mixed-level 混合設計中，另外也支援了 Verilog-AMS 及 VHDL-AMS，藉此我們可不論設計類型，以同樣的方式來設計 mixed-signal 混合訊號，還能由輸入描述語言自動建立所代表的線路區塊，以供 system-level 系統階的 IC 設計需求。

可擴展的設計檢查功能

為了要確認設計的精確性，我們可以自訂對圖面和電性規則的檢查條件，例如零件重疊、短斷路、未接的 inputs outputs、物件的一致性或不合的名稱等，讓設計者以單一指令完成對單 / 多張圖面或是整體階層設計的 pin name 對應和接線的完整性及訊號編名的檢查功能。

VIRTUOSO ANALOG DESIGN ENVIRONMENT L



易用互動的設計和模擬環境

Analog Design Environment L 的互動式環境可讓我們設定、執行 Multi-Mode Sim 和分析其結果，利用其各種顯示及分析功能讓您對類比、射頻及混和訊號的掌握更加便利，期望讓您能更快速找到設計中的關鍵點，並能求得最佳化的結果。另外，其多樣的環境除了搭配之外，再配合其他模擬程式時，不需要重新設定所有參數。

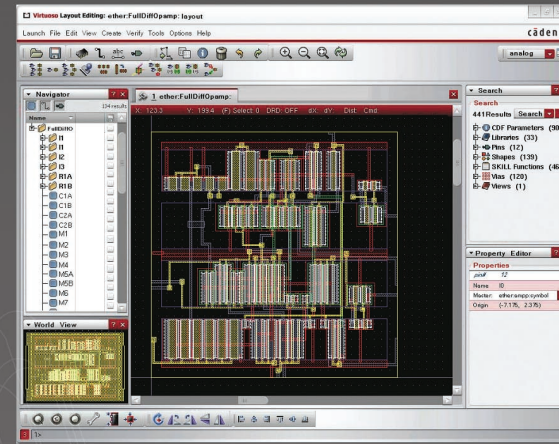
內建波形顯示及訊號分析

波形顯示內建了可擴展的波形計算器，提供了完整的 post-sim 分析環境，其波形顯示視窗可顯示各種類比和混和訊號資料，如 noise、corner、statistical、射頻波形，另外還可調整顯示的效果，如水平 / 垂直軸、波形顏色、標註等，建立出最好的圖面及報表。波形標籤及計算器可精確量測出在暫態 transient、AC、射頻等不同模式下的值，並可依輸入 / 出電壓值或電流值再搭配代數運算以求出其他的量測結果。

跨越線路和實體設計的鴻溝

Virtuoso Analog Design Environment L 所提供的模擬環境可比對 pre- 及 post-extracted 的不同條件，使得我們可以跨越線路設計和實體佈局的障礙，實現由前端到後段完整的 IC 設計流程。

VIRTUOSO LAYOUT SUITE L



全階層式、多窗式的設計環境

Virtuoso Layout Suite L 可在一個編輯環境中同時開啓多個 cells 或 blocks 甚或是階層均可在同一視窗打開，幫助設計者在複雜的設計中確認其資料的完整性，其整合的 World Viewer 全視窗可以很直覺地查看整個設計中相應區塊的位置，並可執行選取、顯示範圍調整、重繪等常用指令，以提升佈線效率。

多樣的參數式 Cells 加速設計時效減少設計錯誤

Parameterized cells (Pcells) 提供設計自動化的效能以減少繁瑣及重複的佈圖工作，Pcells 可在不更動最原始 cell 的情況下更改每個 cell 的尺寸、SHAPE 及所含物件，依參數設定所建立、編輯和管理的 shapes 和 devices 可更加簡化，以加速佈圖效率並減少設計錯誤。

QuickCell 選單自動建立 Device

QuickCell (QCells) 參數選單功能可快速建立及編輯 Pcells devices，可在無 Pcells SKILL 的環境下實現建立及編輯 devices 的環境，由於 QCells 是 "C" 為基礎的環境，所以程式的 Pcells SKILL 也可套用及相容於 QCells 的環境下。

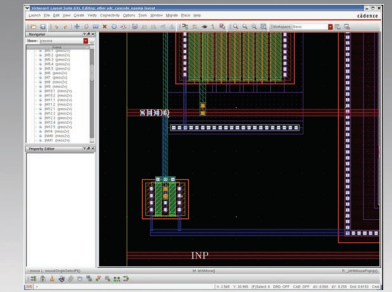
設計規範管控以增加效率

Virtuoso Layout Suite 提供 "設計規範管控" 的功能，可以即時監控違反規範的錯誤，以增加佈圖效率減少錯誤點及偵錯的時間，也支援 90 奈米 (或更小) 的各種複雜製程規範的 technology file。

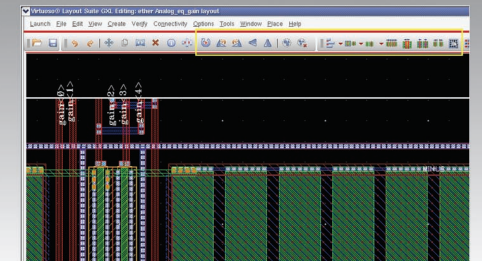
自動簡化及優化的佈線效果

Virtuoso Layout Suite 能夠自動簡化及優化 block 來達到以 "設計規範管控" 的功能和流程，"動態量測" 省掉許多手動量測的麻煩，"對齊功能" 也能加快對齊圖型、接點和物件的效率，"訊號標示" 讓您在多階的設計中達成對訊號查詢，檢查接續性及高亮的目的。

View all geometry dynamically during editing commands



User friendly toolbar buttons – Productivity enhancers



Supported Resistor types

