

Virtuoso Post-Layout Simulation Methodology

晶片設計中，Post-Layout Simulation 早已被視為設計流程中極具重要的一環，因為即使電路 Pre-Layout Simulation 的性能再好，性能都會因為 Layout 佈線的粗細、方向或是 Metal Layer 的選用而造成電路偏壓以及訊號衰減，使得電路在 Tapout 後無法達到與預期相符的功能。因此在本篇中為了協助讀者進一步了解 Cadence[®] Virtuoso[®] 是如何做 Post-Layout Simulation，我們將介紹 Post-Layout Simulation 的設計流程給各位。

• **Date** : 2017 / 4 / 24

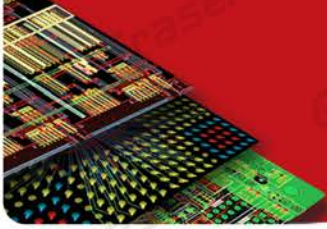
• **Author** : Scott

• **Revision** : 1.0

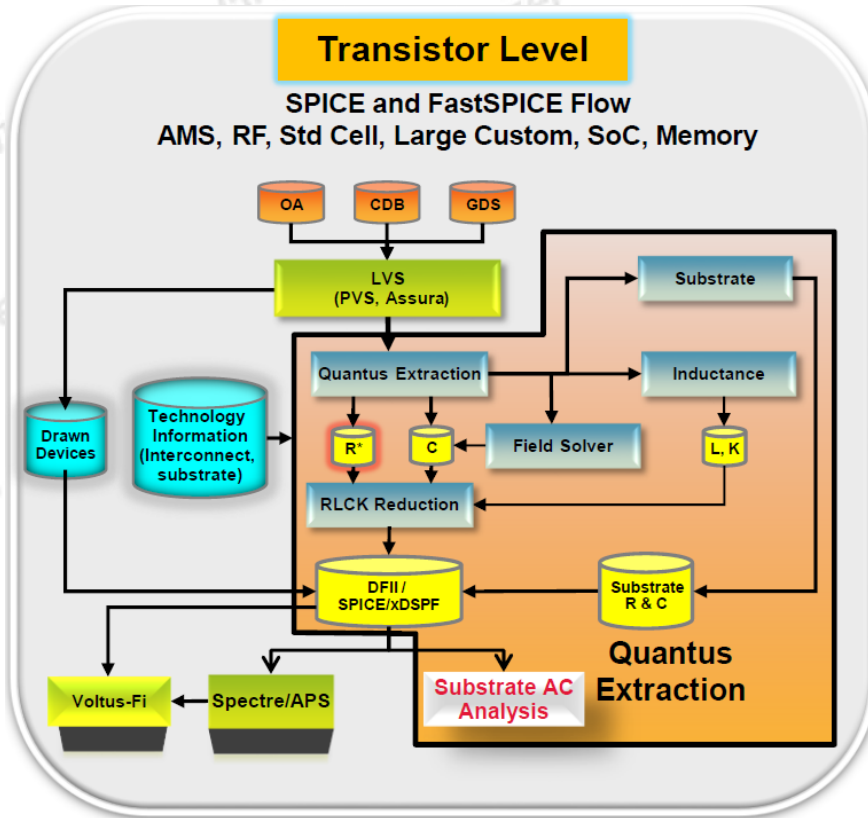
• **Version** : IC6.17/PVS15/ Quantus QRC 16

• **備註**:

Graser[®] <http://www.graser.com.tw>

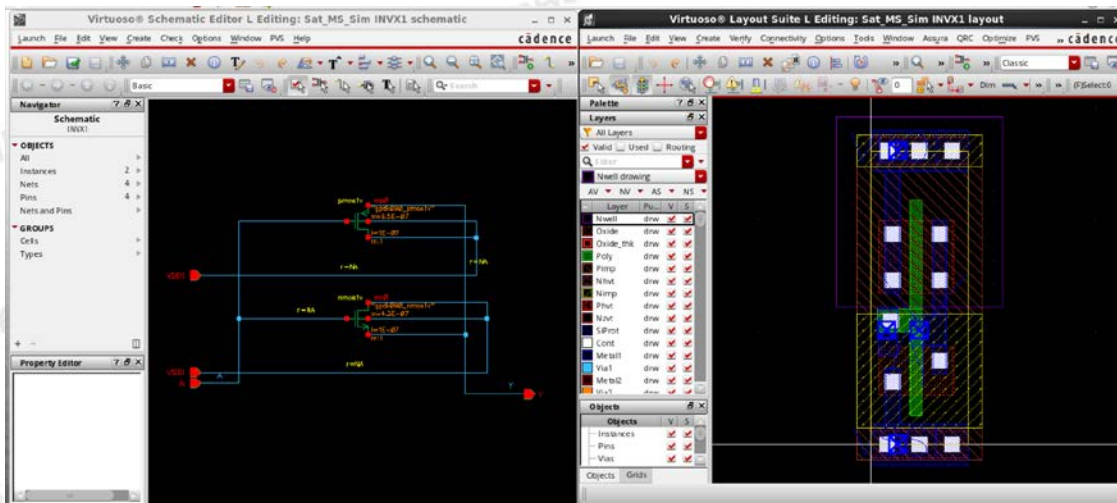


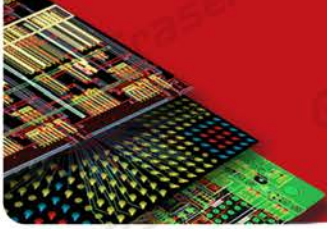
Virtuoso Post-Layout Simulation Methodology



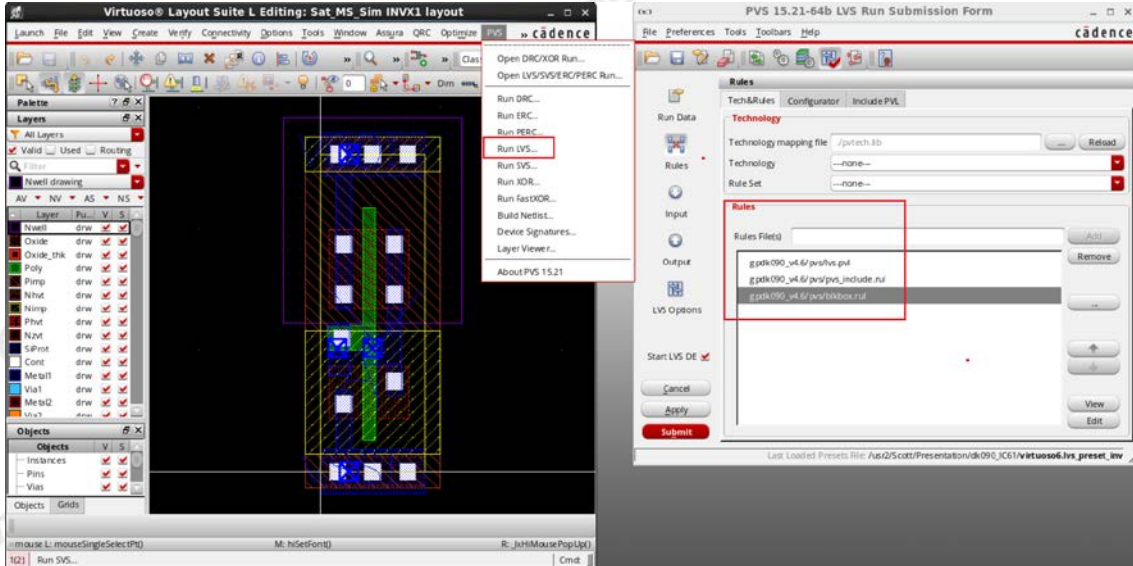
上圖中，清楚描繪了 Transistor Level Extraction 的流程，在我們執行 Quantus QRC Extraction 之前，需要先執行 LVS，一方面是為了確保 Schematic 與 Layout 的邏輯電路與佈局均相符合，另一方面也是為了提供 QRC 去識別 Device 與 Connectivity 的資訊，沒有這筆資料 QRC 是無法進行下去的。而在本篇中，我們使用一個反相器電路作為演練整個流程的範例，請參看下述步驟：

1. 首先我們已經準備好一個示範用反相器電路的 Schematic View 與 Layout View，如下圖所示。

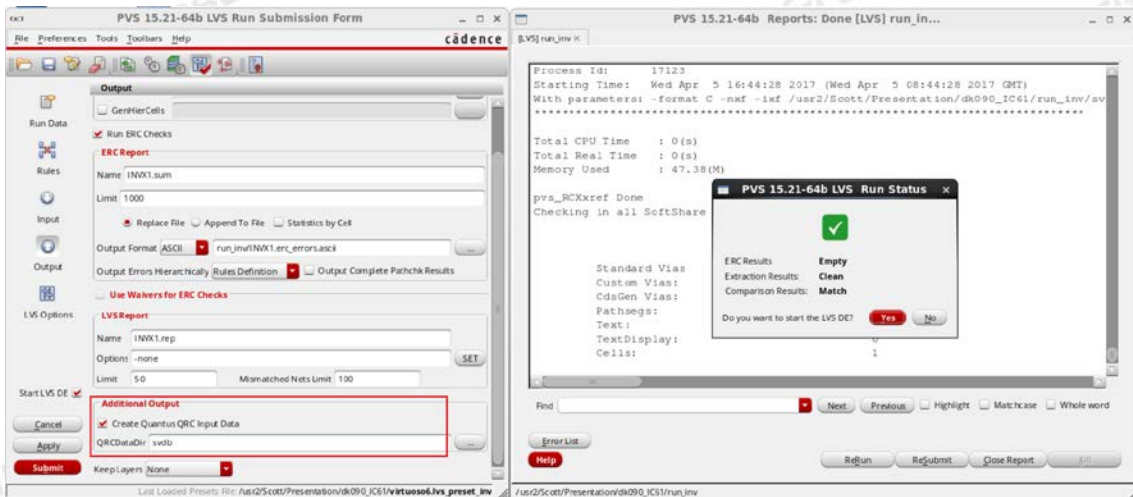


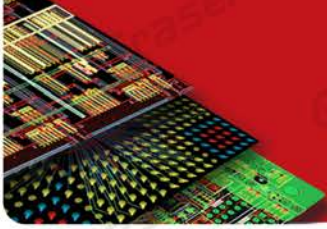


- 接著進行反相器電路的 LVS 比對，在這裡的例子中我們是使用的 Cadence® Physical Verification System(PVS) 作為驗證的工具。

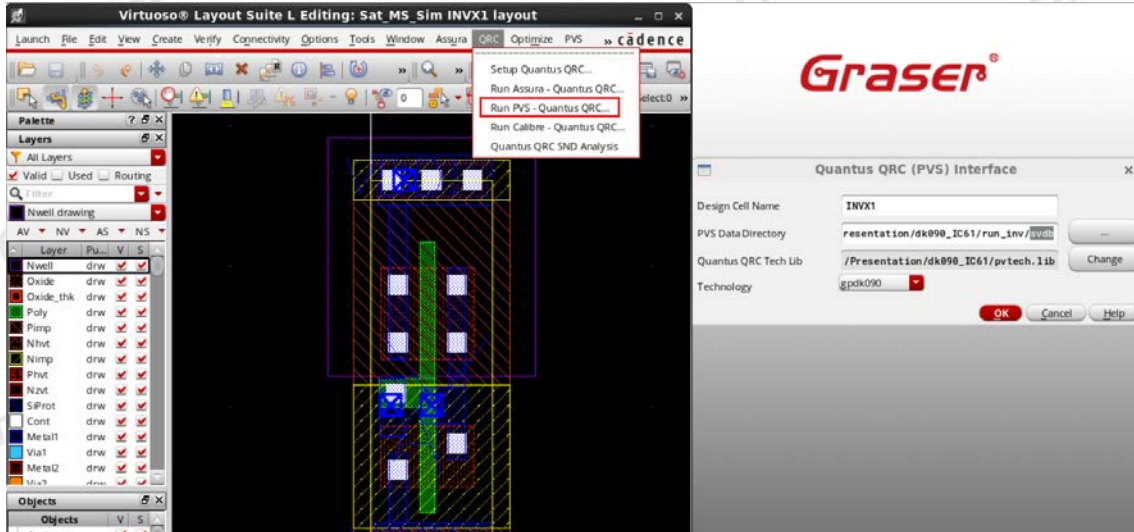


此外，在 LVS 的 Output Form 中，要記得啟用 Create Quantus QRC Input Data 的 option，如此才能生成 Quantus QRC 所需的資訊，同時也要確保 LVS 比對的 Results 都是 Match 與 Clean 的，才不會造成後面在執行 QRC 時發生錯誤。

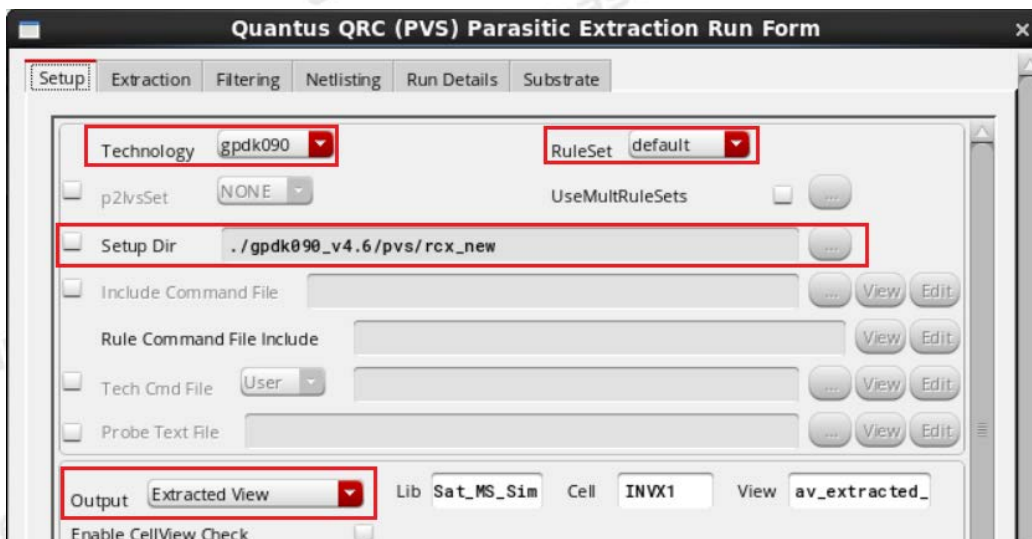


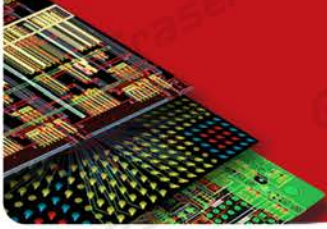


當 LVS 確認完成後，接著就可以點擊 Run PVS-Quantus QRC 來呼叫 QRC 的 Interface，由於我們在開啟 Interface 之前已經先執行過 LVS，因此 Device Cell Name、PVS Data Directory 的欄位內容都會自動補上對應的名稱與路徑。接著，按下 OK 後即可開啟 Quantus QRC(PVS) Parasitic Extraction Run Form 的表單。

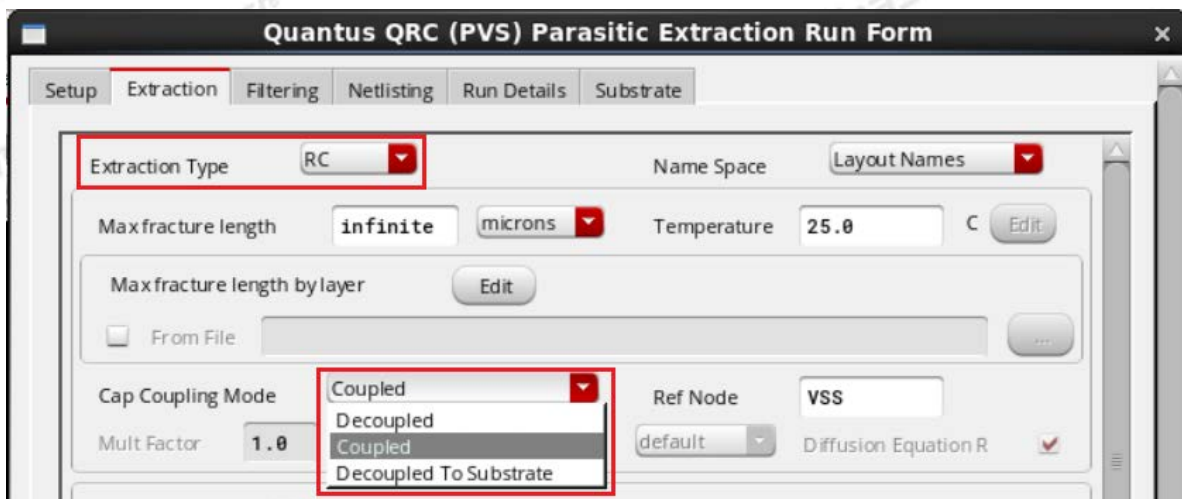
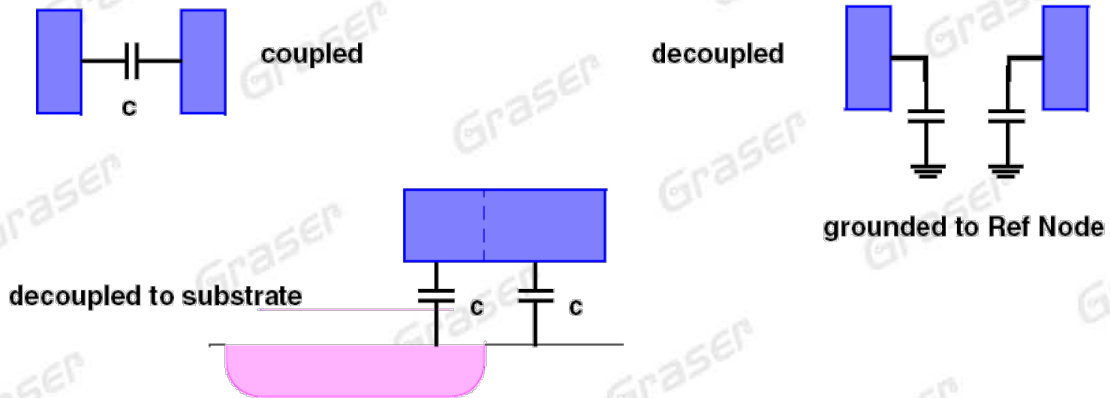


3. 當 Setup 的表單開啟後，如果 Foundry 已經在 PDK 中幫各位設置過 RuleSet，那麼您直接呼叫其設置即可。假如沒有的話，也可以由手動方式將 Setup Dir 指向 QRC Tech File 的目錄來進行 Extraction。並且，我們也要選用一種輸出 Parasitic 的格式，在本篇的例子中，我們使用 Extracted View 的格式作為說明，稍後我們也會對 Extracted View 的格式稍作說明，配置請參考下圖：

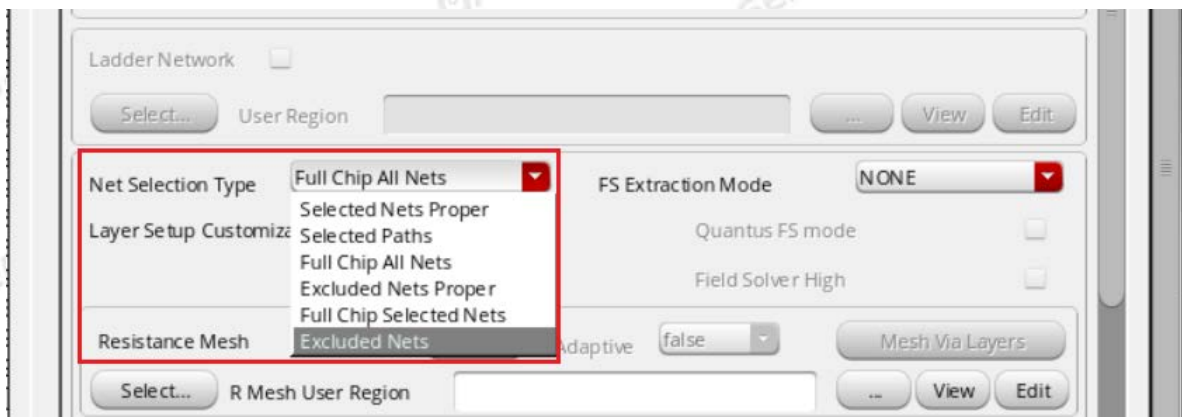


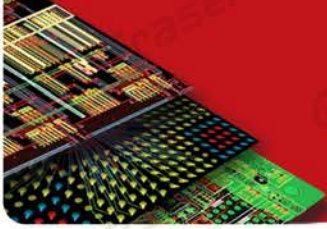


接著，在 Extraction 的表單中我們要選擇一種 Extraction Type，Quantus QRC 分別可以支援 R Only、C Only、RC、RLC、RLCK 五種，您可以依照實際需求進行配置，而我們本篇使用 RC 作為說明，而 C 的 Extract 分別有三種模式，分別是 Coupled、Decoupled 與 Decoupled To Substrate，其差異可參考下圖所示：

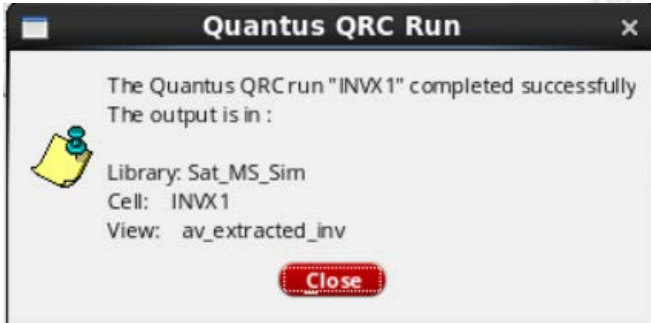


此外，Quantus QRC 也可以視需求進行局部或特定 Nets 的分析，如下圖所示：

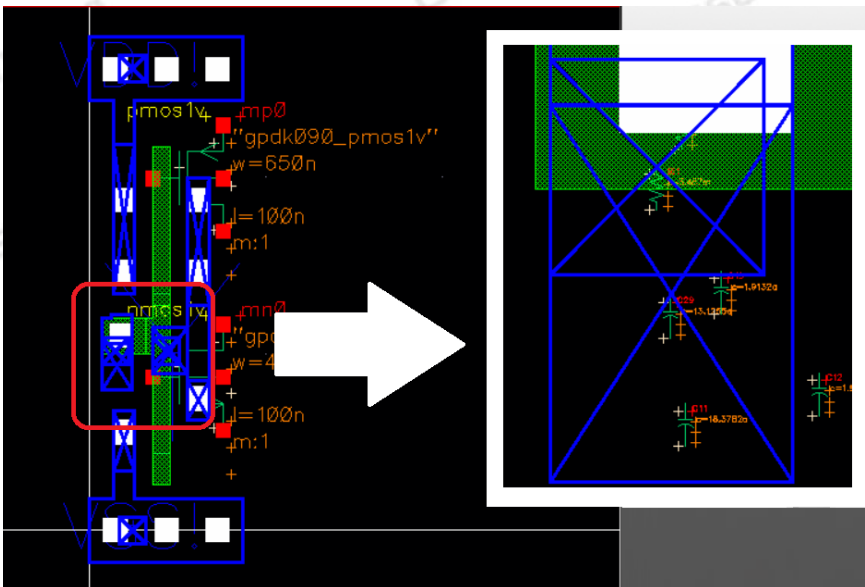




4. 完成上述設置後，接著我們就能按下開始進行 Quantus QRC 的 Extraction。當在 Extract 完成後，會跳出下述的視窗提示 Extract 結果，如下圖所示：

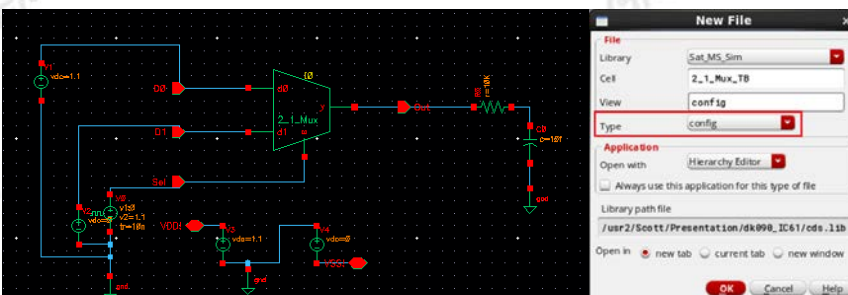


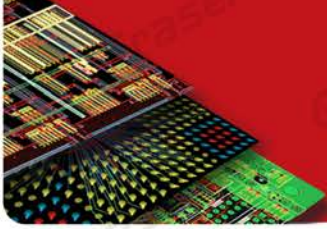
5. 接著，我們可以直接使用 Virtuoso® Layout Suite 開啟方才執行 Extraction 所生成的 av_extracted View 來查看，如下圖所示：



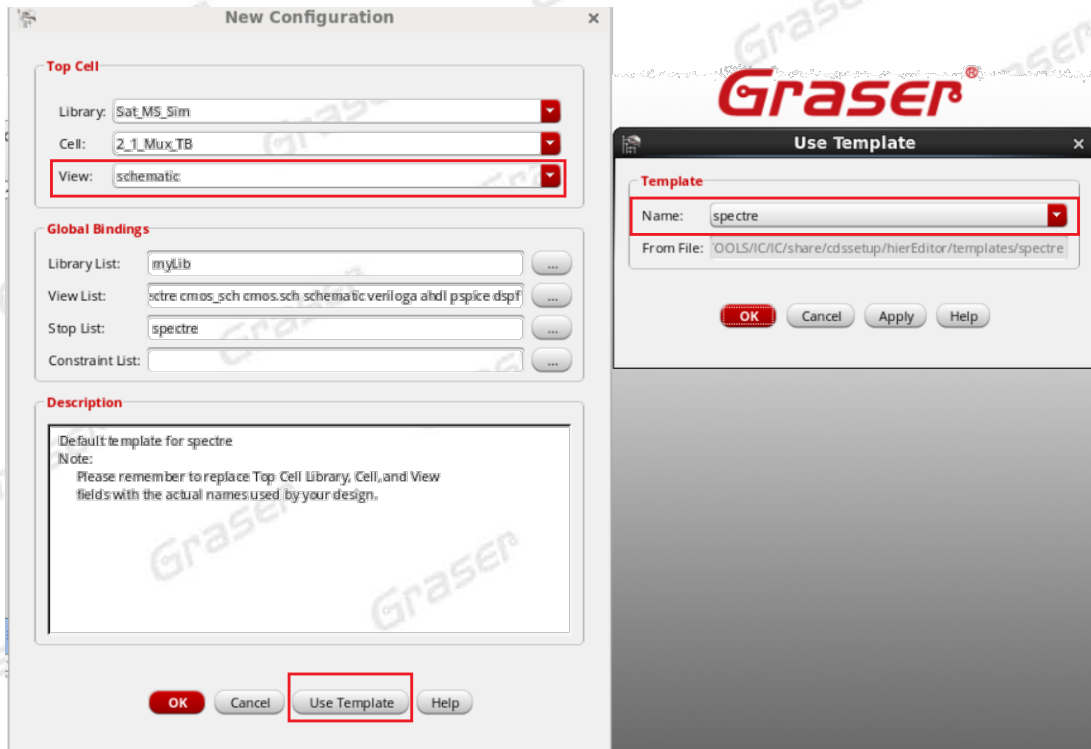
您會發現 av_extracted_inv View 與原始的 Layout View 極為相似，但是 Layer 的 purpose 是使用 net 而非 drawing 表示，因此請勿使用該 View 做為 Mask 的資料。此外您也會發現到，Layout 上夾雜著 Resistances 與 Capacitors 的 Symbol，而這些就是 QRC 所 Extract 出來的 Parasitic，使用者可直觀的進行判斷以調整 Layout 並重新進行 Extract 以最佳化 Parasitic 的效應。

6. 接著，在我們做 Post-Layout Simulation 之前，我們需要為原本 Pre-Simulation 的 Schematic 建置一個 config View，這是為了方便我們進行 Post-Layout Simulation 時方便掛載 Parasitic。

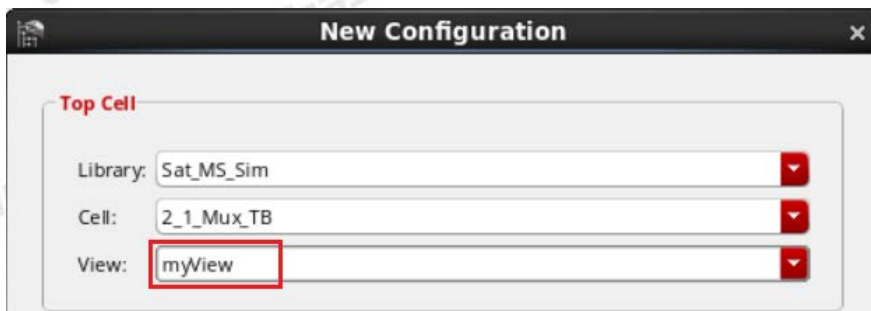


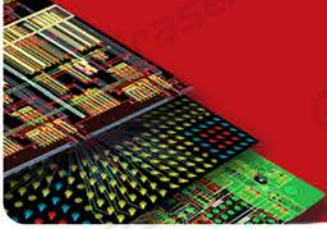


當按下產生 config View 後，New Configuration 的表單就會出現，這裡各位可以依據您目前電路使用的 Simulator 直接套用 Template 設置即可。而由於本篇的範例是採用類比電路作介紹，因此選用 Spectre 的 Template 做示範。

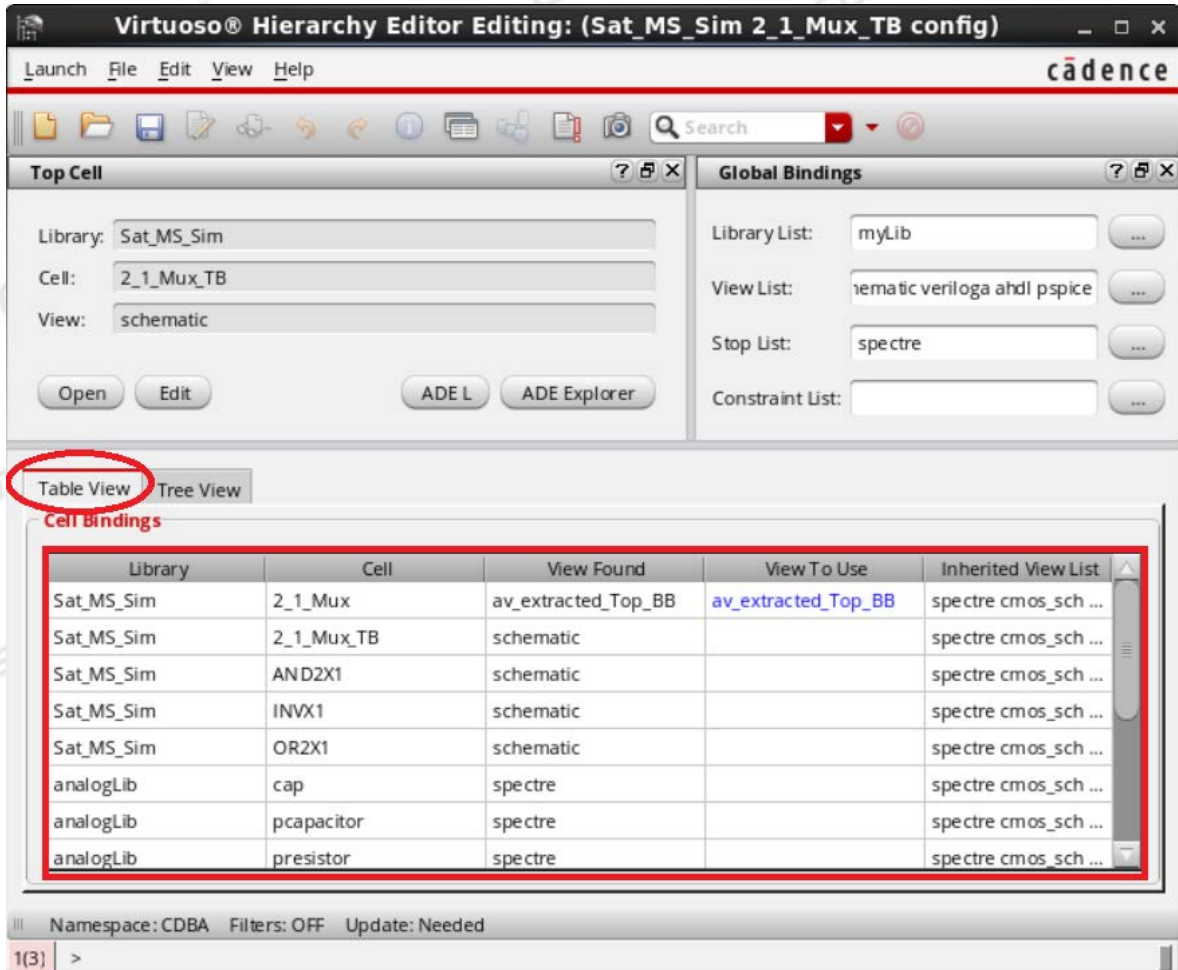


另外，要特別注意到，當您呼叫 Template 的設置出來後，記得需要將 Top Cell 使用的 View 從 myView 設置為 schematic，否則會無法偵測到 Hierarchy 底下各個 Sub-Circuit 的 Cell 以及他們各自使用 View type。說到這裡，有些讀者可能不太了解，找不到 View 會造成甚麼影響呢？簡單的說就是會無法產生的 Netlist，這會使得無法進行 Simulation 的問題，因此要特別注意！

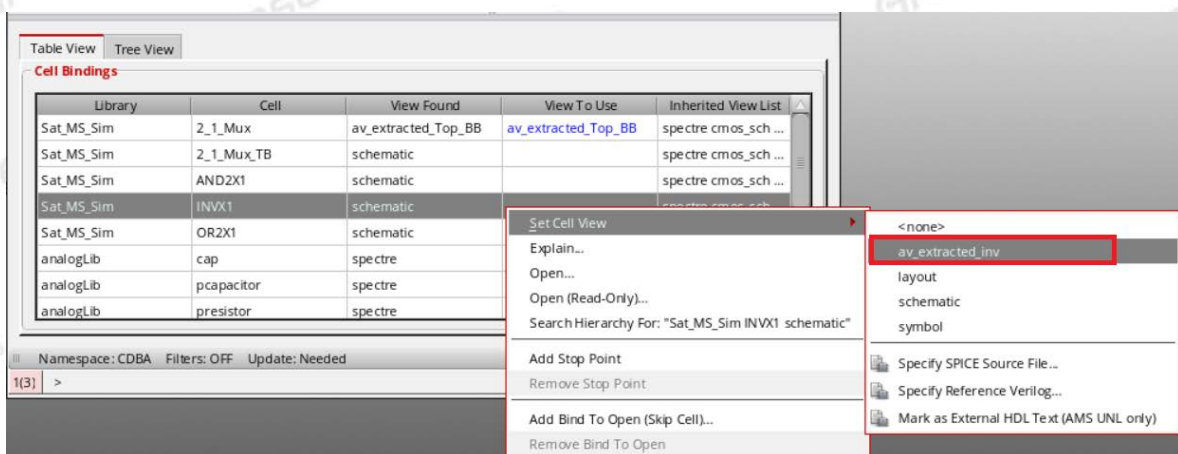


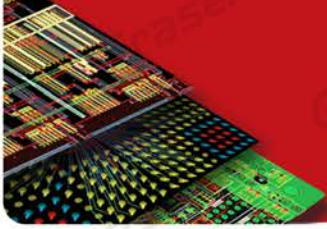


7. 而當 Configuration 的設置完成後，Virtuoso® Hierarchy Editor 的表單內容會如下所示呈現，同時各位可以由表單中的 Table View 查看我們電路中目前使用到的各個 Cell 並且透過 View Found 的欄位了解我們目前在 Pre-Layout Simulation 中使用的 View 為何。

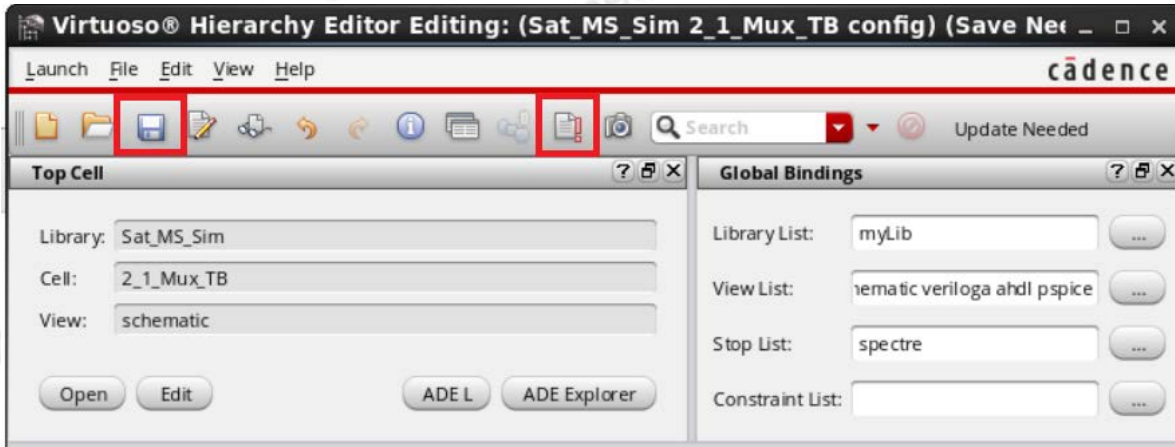


8. 接著，在您想要掛載 Parasitic 的 Cell 後面的 View To Use 的欄位中，按下滑鼠右鍵將 Set Cell 設置為我們在前面經由 QRC Extraction 所產生出來的 av_extracted View。由於在此範例中，我們僅對 INX1 的 Cell 做 Extraction，因此僅示範一組，若各位讀者已針對電路中使用到的 Cell 都做過 Extraction，那麼就可以在此逐一的將他們掛載上去。

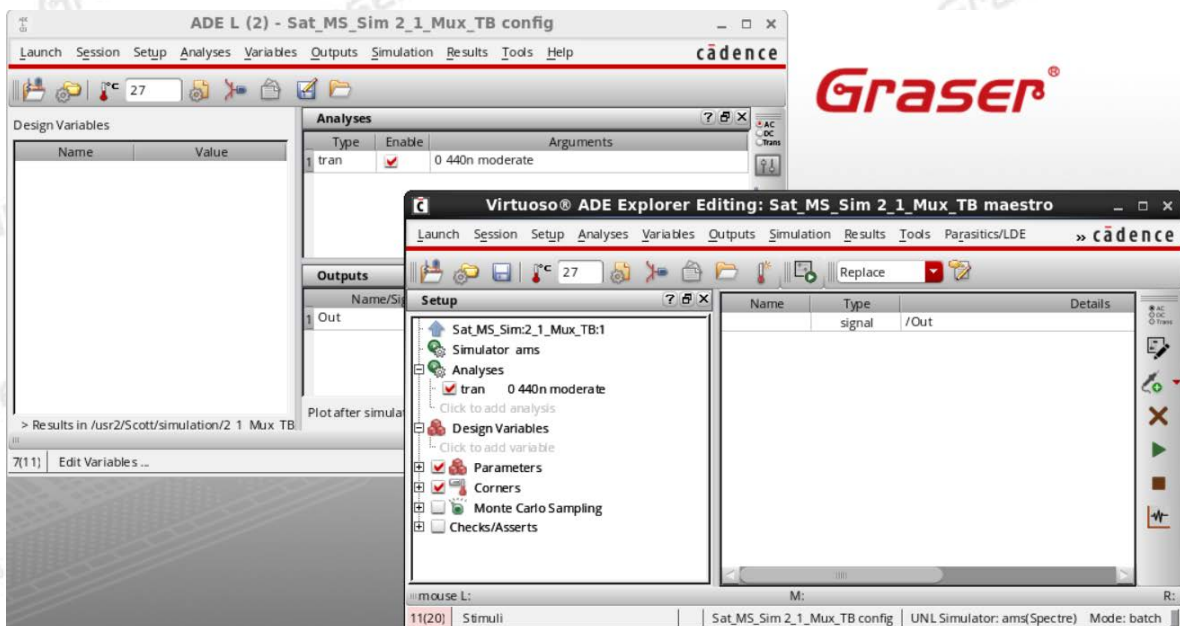
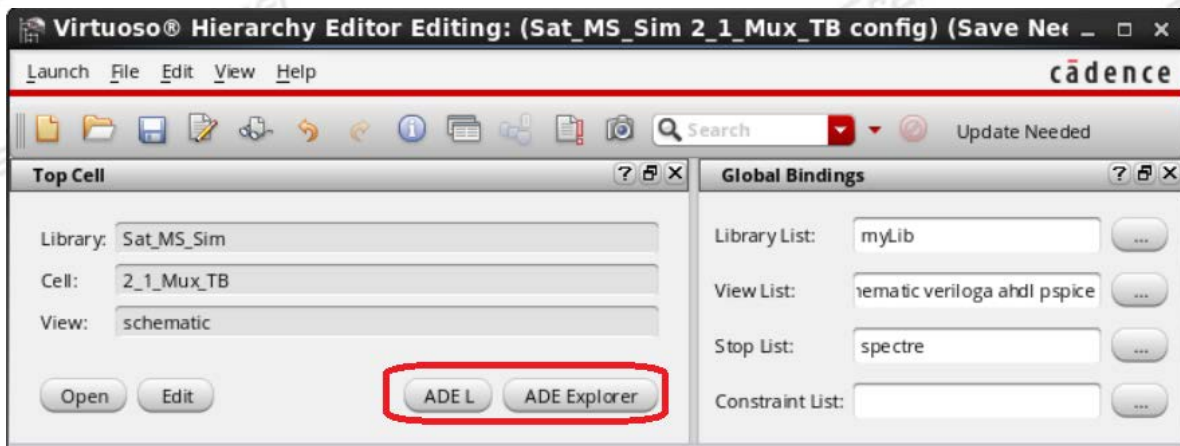


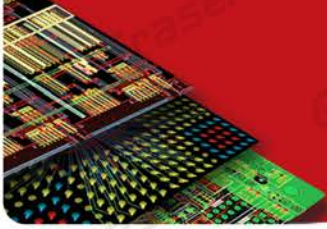


9. 當我們完成 Config View 的配置後，接著尚需對 Config View 進行 Save 與 Recompute 的設置，才算將方才的設置寫入到系統中。

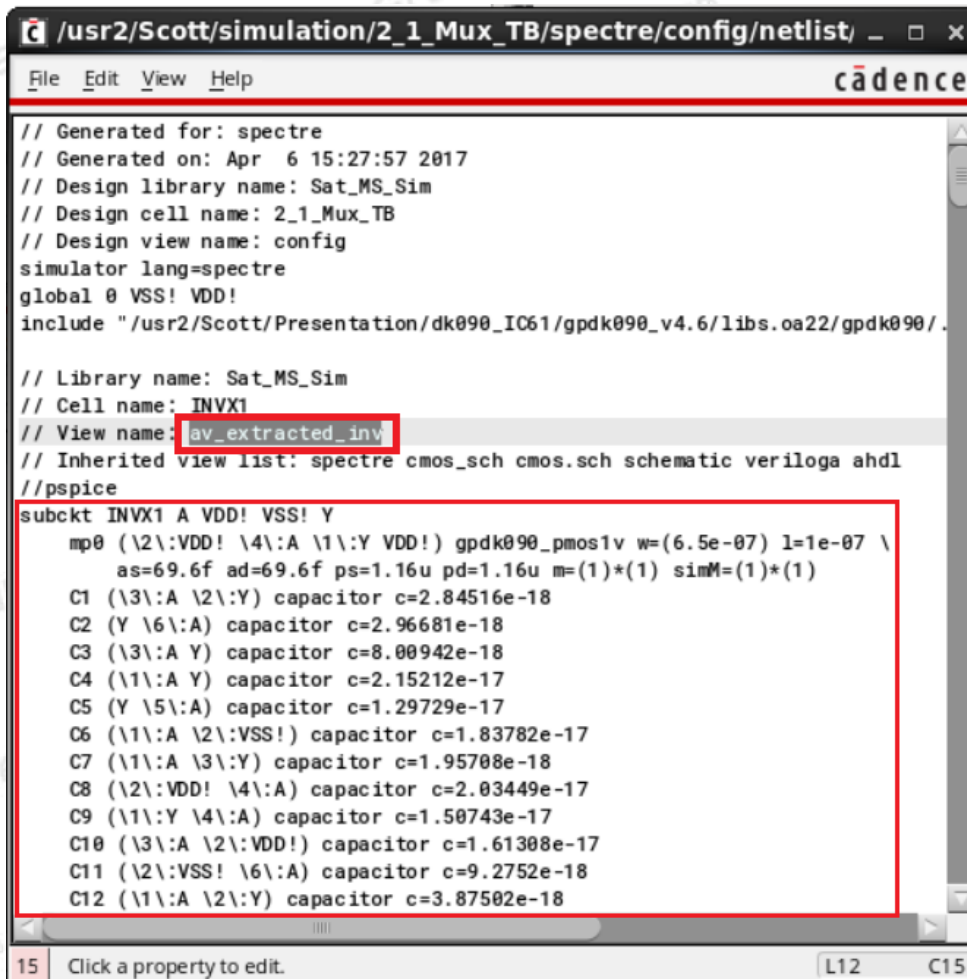
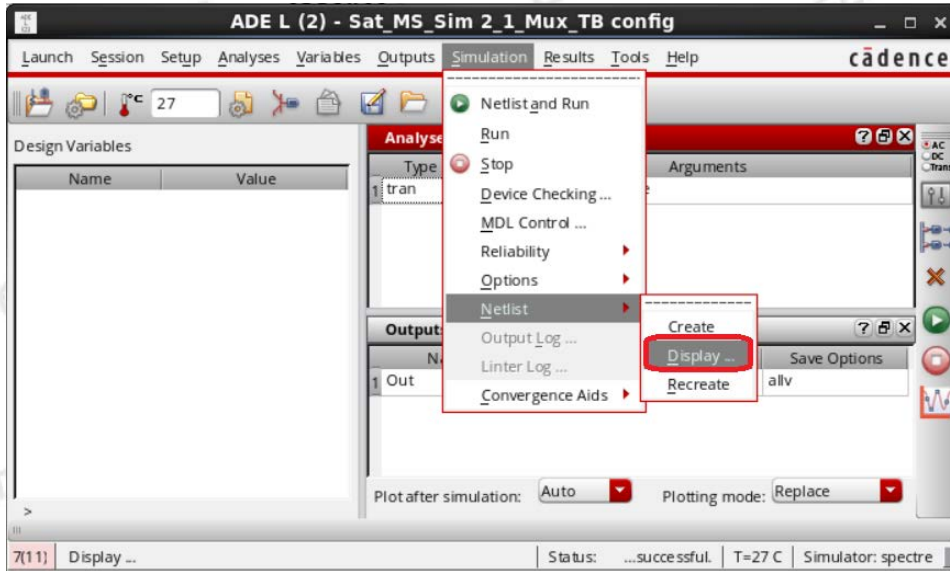


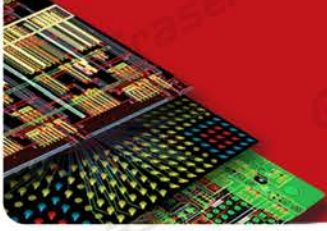
10. 接著，直接透過 Config View 中來開啟 ADE L 或是 ADE Explore 的模擬環境。



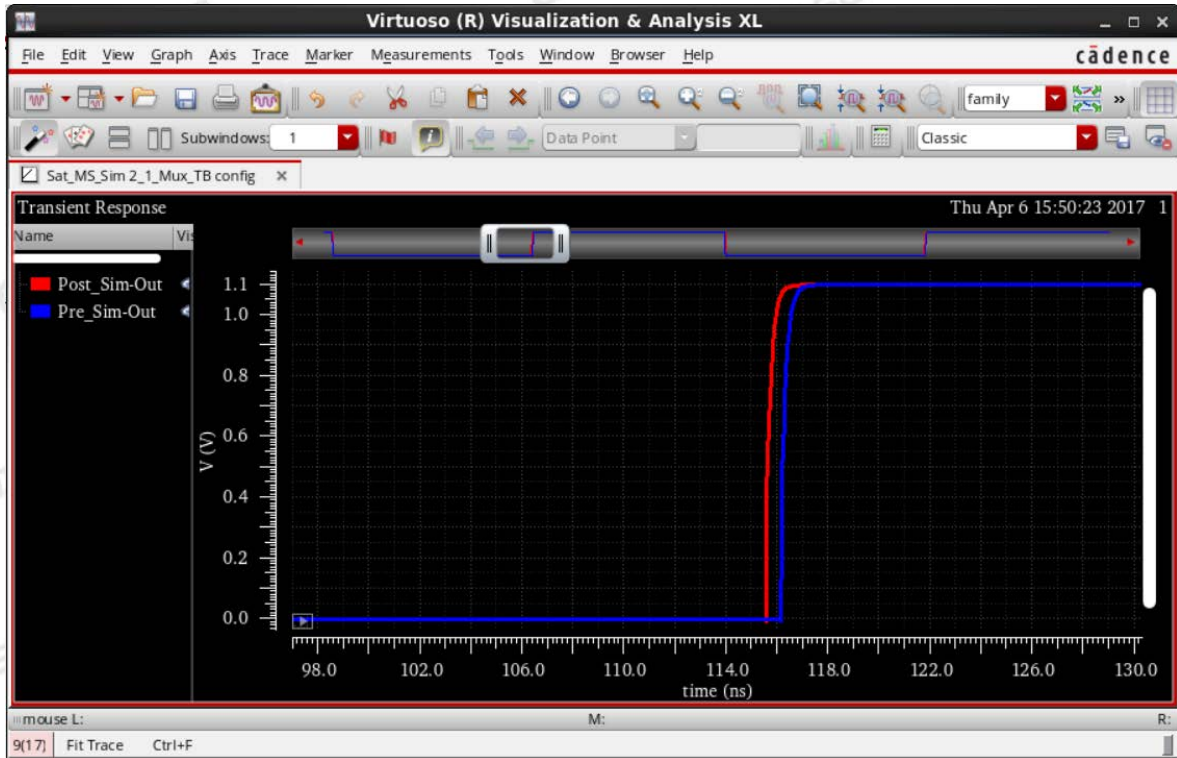


而在本篇的示範中，我們用 ADE L 的環境作為介紹。當各位已經將 Simulation 所需的 Model、Simulator、Analysis option 與 Output...均配置完畢後。接著，在我們 Run Simulation 之前可先查看 Netlist 以確認 Parasitic 是否掛載成功，如下圖所示：





11. 一旦我們確認好 ADE 的環境與 Parasitic 掛載完成後，那麼我們就可以進行 Post-Layout Simulation 的分析。而下圖是我們演練實例的 Pre-Layout Simulation 與 Pro-Layout Simulation 的結果分析，煩請參考：



在上述中，我們展示了 Post-Layout Simulation 的設計流程，搭配 Cadence® Custom IC Design Solution，大幅簡化了使用者在設計上繁瑣的執行步驟，尤其在 Extraction 的流程，透過生成 av_extracted View 的格式，使用者得以直接觀察到 Layout 所造成的 Parasitic 效應，並且搭配 Virtuoso® Hierarchy Editor 的 config View 快速掛載 Parasitic，也使得使用者可以在 Pre-Simulation 與 Post-Layout Simulation 中得以靈活的快速切換，使得提升設計流程的 TAT(Turn Around Time)。如果各位讀者對於上述說明任何問題或是有想要進一步了解 Post-Layout Simulation 的設計流程，歡迎與我們聯繫，感謝各位耐心的閱讀。