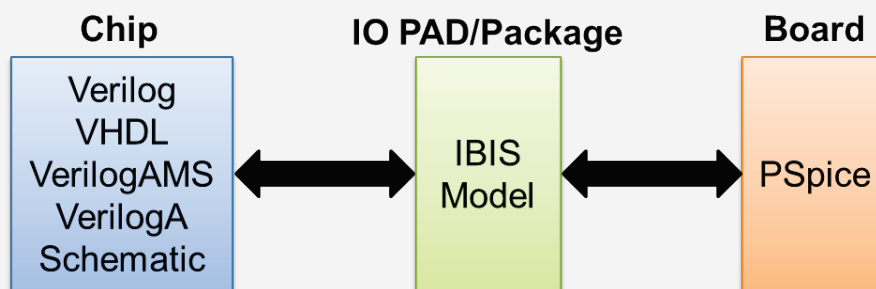


## FPGA 混和設計與模擬

### (下篇) 加入 IBIS Model 提升混和模擬準確度

當我們要進行 FPGA Mixed-Signal Simulation 時，若是希望 Chip-level 與 Board-level 之間的連結有比較真實 RLC 效應時，也就是加入 I/O Buffer 在兩者之間的連結，那麼我們可以運用 IBIS Model，讓模擬結果更貼近於真實狀況。本篇內容將介紹如何將 IBIS Model 導入到混和模擬環境，以及如何連接 Chip-level 與 Board-level 的電路。



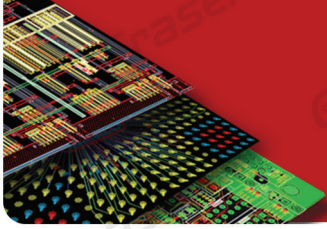
· **Date** : 2016 / 11 / 14

· **Author** : Paine

· **Revision** : 1.0

· **Version** : IES15.1, IC617, MMSIM15.1

· **備註**:



## (下篇) 加入 IBIS Mode 提升混和模擬準確度

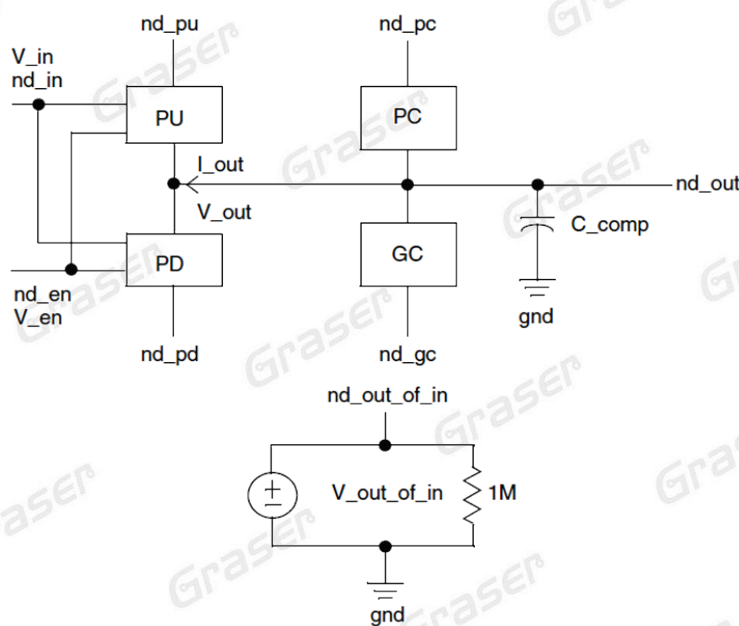
當我們要進行 FPGA Mixed-Signal Simulation 時，若是希望 Chip-level 與 Board-level 之間的連結有比較真實 RLC 效應時，也就是加入 I/O Buffer 在兩者之間的連結，那麼我們可以運用 IBIS Model，讓模擬結果更貼近於真實狀況。本篇內容將介紹如何將 IBIS Model 導入到混和模擬環境，以及如何連接 Chip-level 與 Board-level 的電路。

### 如何將 IBIS Model 導入到混和模擬環境?

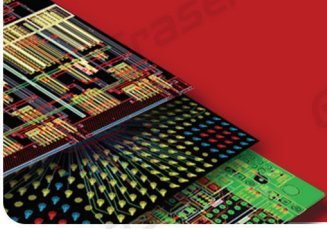
假若我們要把 IBIS Model 導入到 Mixed-Signal Simulation 流程時，那麼我們必須使用 SPICE 的格式去做宣告的動作，如此一來才能夠將 IBIS Model 載入到混和模擬環境。該格式內容如下：

```
//nd 開頭的 port 必須宣告，除了 nd_pc 與 nd_gc 的 port  
B_IO nd_pu nd_pd nd_out nd_in nd_en nd_out_of_in [nd_pc nd_gc]  
//file 選擇欲載入的 .ibs 檔，model 選擇 I/O buffer 的 Model  
+ file='file_name' model='model_name'  
//typ 選擇 corner，power on：nd_pu 與 nd_pc 可以設定電壓。power off：  
則是依照 IBIS 內建設定的電壓。  
+ [typ={typ|min|max|fast|slow}] [power={on|off}]  
//buffer：3=trigate buffer, input_output=I/O buffer  
+ [buffer={3|input_output}]
```

圖、Input-Output SPICE 宣告格式



圖、Input-Output Buffer



當我們撰寫完 IBIS 的 SPICE 格式之後，我們可以在 `amscf.scs` 檔案內宣告 `include`，將 IBIS Model 做載入的動作。接著，我們來探討如何將 I/O Buffer 與 Chip-level 或者是 Board-level 的 port 做連結。

```
include "../pspice/ddr_line.sp"  
include "../ibis/ibis_io.sp"  
include "./acf.scs"  
simulator lang=spectre  
amsd {  
    portmap subckt=ddr_line reformat=vhdl reffile="../pspice/ddr_line.vhd"  
    config cell=ddr_line use=spice  
    ...  
}
```

圖、載入 IBIS Model 的範例

### 如何連接 Chip-level 與 Board-level 的電路?

當我們將 IBIS Model 載入進來之後，那麼我們可以在頂層的 Verilog/VHDL 檔案裡宣告 `instance`，並且宣告 `wire` 讓 Chip-level 與 Board-level 的 port，可以與 IBIS Model 做連結。另外，很多使用者的疑問是：為何數位訊號可以直接與類比訊號做連結？有關於這個問題，模擬器會在兩者訊號之間自動插入 IE (Interconnect Element) 模組，讓類比與數位訊號能夠互相傳遞。若使用者想要更改訊號傳遞的參數，那麼我們可以在 `amscf.scs` 的 `amsd block` 的 `ie` 加入 IE 模組的參數，去調整我們想要的模擬動作。

```
pll_top inst_pll_top(.out(inst_ibis_vcoclk.nd_out),.vcc(vcc),.vin(inst_ibis_vin_ctrl.nd_out),.vee(vee));  
vin_ctrl inst_vin_ctrl(.vin_o(inst_ibis_vin_ctrl.nd_in));  
ibis_io_pad inst_ibis_vin_ctrl(.nd_out(inst_pll_top.xi0.vin),.nd_in(inst_vin_ctrl.vin_o),.nd_en(1'b1),.nd_out_of_in());  
ibis_io_pad inst_ibis_vcoclk(.nd_out(inst_pll_top.xi0.out),.nd_in(1'b0),.nd_en(1'b0),.nd_out_of_in(vcoclk));
```

圖、Verilog 頂層宣告 IBIS Model