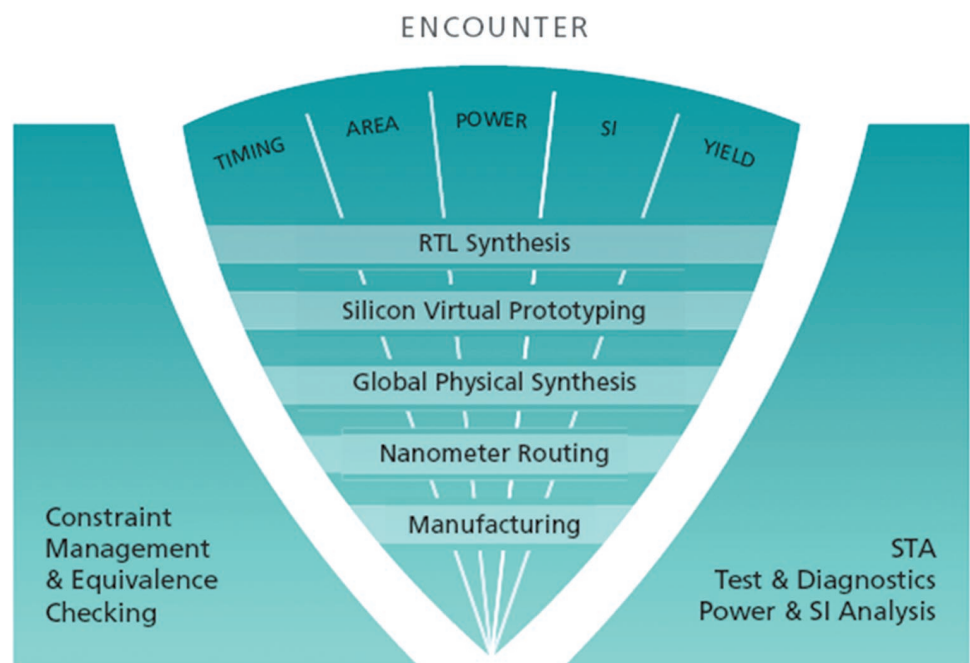


Cadence Encounter Conformal Equivalence Checker

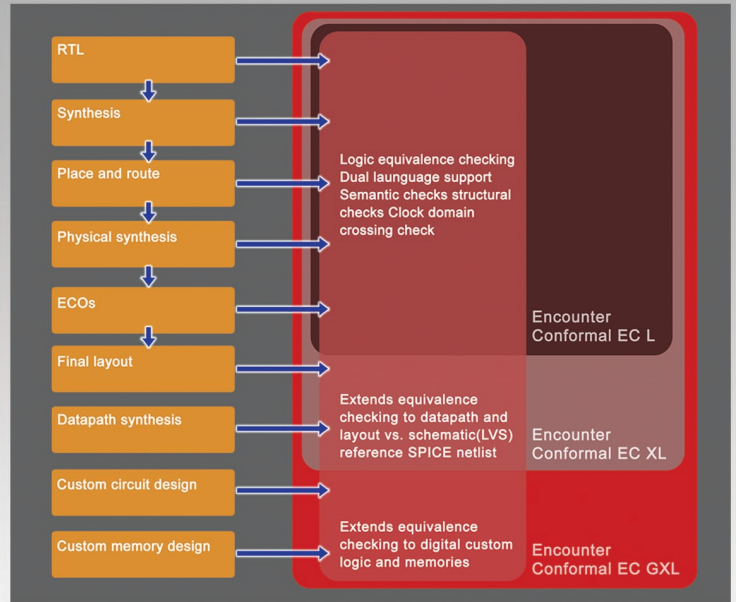
Cadence® Encounter® Conformal 等效檢查器 (EC) 為 Encounter 數位集成電路設計平臺其中之一的關鍵技術，設計工程師不須自定測試向量來針對數百萬閘極設計進行驗證和除錯，它提供了唯一針對從 RTL 到最終的 LVS 電路連線 (SPICE) 或用 FPGA 設計的完全等效性檢查來驗證 SoC 設計解決方案。Encounter Conformal EC 可驗證多種的電路設計，包括複雜運算邏輯、datapaths、記憶體和客製邏輯。



Your EDA Partner

Cadence Encounter Conformal Equivalence Checker

在推出創新產品時，公司必需集中珍貴的工程資源在其創新的特點上，以便與別人設計的做區別，Cadence Encounter 數位集成電路設計平臺提供全面性的技術微奈米等級 SoC 設計，可讓邏輯設計和物理實現設計人員快速完成高品質的晶片設計。作為一個整合 RTL 到 GDSII 設計的環境，Encounter 平臺提供一個完整的流程—從 RTL 合成與測試設計，再到通過晶片的 prototyping 跟分區，最後到時脈分析以及下製程參數，此平台可完整設計出高品質晶片（時間、區域和電源與導線），並能以準確的驗證結果、信號完整性、智慧佈線、最新良率及低功耗設計能力來完成 65 奈米等級的應用。Encounter 可協助您提高生產力與處理複雜設計的能力，進而讓產品快速上市。



ENCOUNTER CONFORMAL

等效性檢查

Encounter Conformal EC 是支援度最廣泛的等效性檢查產品，在產業界已透過數以萬計的 tapeouts 證明其功能性及可靠度。另外，其產品導向的物理設計、先進的合成軟體、ASIC 元件庫和 IP 核心比任何其他形式的驗證技術更具有生產力。

好處

- 比傳統的閘極模擬能更多次快速詳盡地驗證數百萬閘極的 ASICs 和 FPGAs
- 以獨立驗證技術減少遺漏嚴重的 bug 風險
- 能更快速地在整個設計流程中準確地偵查和更正 bug
- 能及早在設計週期消除功能時域交錯問題
- 對複雜 datapaths 擴大等效性檢查的能力，並且縮小 RTL 對佈局驗證的鴻溝（用 Encounter Conformal EC XL）
- 確保 RTL 模型與對應的電晶體電路在晶片實現一樣的功能（用 Encounter Conformal EC GXL）

特點

Encounter Conformal 等效性檢查員 L

Conformal EC L 結合延伸的功能檢查和核心等效性檢查技術，設計過程中等效性檢查在完成最終佈局之前需進行許多疊代，並且在這個過程中的每一步都有可能找出遺漏的邏輯 bug，因此，Encounter Conformal EC L 可在各種階段檢查不同版本設計的功能相同性，並讓設計師盡快辨認和改正相關的錯誤。

設計流程獨立

Encounter Conformal EC L 提供一個獨立審查設計的流程，消除產品在共用設計實現和共用設計驗證的相關風險，這些工具包括設計流程獨立開發的技術，有提升生產力的 HDL 分析、合成、轉換、最佳化和 datapath 演算法，故使用 Encounter Conformal EC L 能確保找出大部分設計中的 bug。

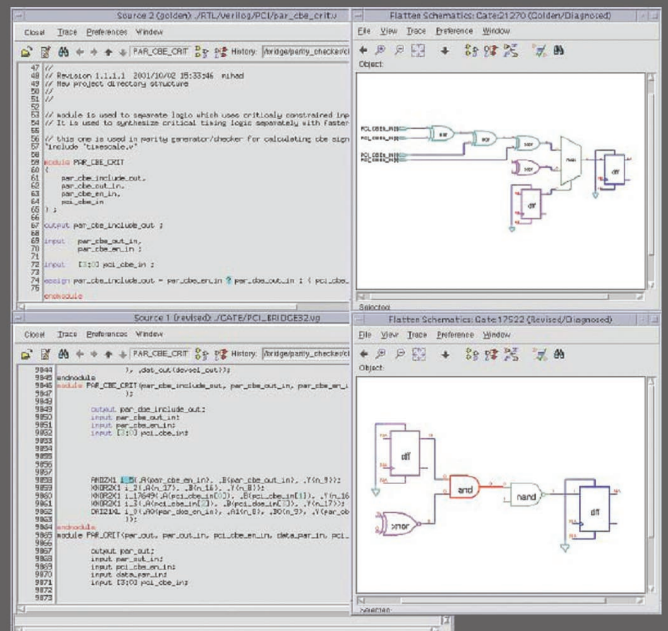
整合環境

利用直覺的圖形用戶界面 (GUI) 來提供設定和除錯，可更有效地提高生產力並迅速精確地找出不同的起因。包括：

- 以整合電路圖圖形介面除錯系統來顯示邏輯數值的每個錯誤
- 在 RTL 模型和電路之間全面的交叉比對
- 用分配的和加權的百分比自動識別錯誤
- 針對邏輯錐體修補的相關信息來除錯

支援 FPGA 等效性檢查

當 FPGA 裝置在大小和複雜度持續增長，FPGA 設計師也如同 ASIC 設計一樣越來越難將設計完成，因此等效性檢查在 FPGA 設計實現流程中成爲了不可或缺的動作。Encounter Conformal EC L 支援 Synplify Pro 合成，除了 Xilinx ISE 之外，並可支援 Altera Quartus II 實現流程。



Cadence Encounter Conformal Equivalence Checker

延伸的功能檢查

Encounter Conformal EC L 讓設計工程師進行延伸的功能檢查，這些檢查補足之前驗證區域未通過傳統的等效性檢查和如何提早找出困難的實體實現中的 bug，是一種更加安全的驗證方法。

- 時域交錯 (CDC) 檢查 - 確認同步和數據穩定
- 語義檢查 -- 驗證合成假設和尋找在能產生 RTL 和閘級模擬之間的不吻合的條件
- 結構檢查 -- 包括匯流排對於數據衝突的檢查，設置或重新設置的排他性檢查，並且檢查多閘極的門爭用問題

Encounter Conformal 等效性檢查員 XL

除了擁有 Encounter Conformal EC L 之所有特點，Encounter Conformal EC XL 提供了自動化檢查複雜的 datapath，並延伸等效性檢查到 P&R 的電路連線。

Datapath 合成驗證

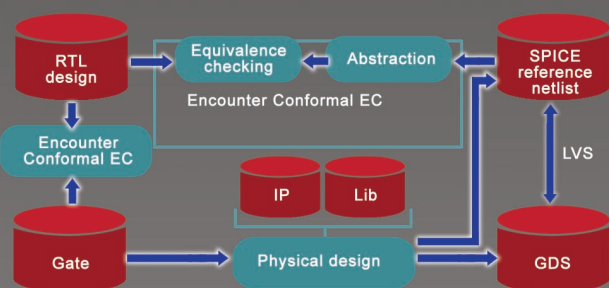
Datapath 最佳化可創造不易形式驗證的複雜算術運算的設計，通常設計工程師靠模擬來驗證 datapath 區塊所需花費的時間很長，並且結果殘缺不全，Encounter Conformal EC XL 提供了正式的解決方案，可詳盡驗證複雜的 datapath 區塊，不需使用到測試向量，並且可處理高性能設計需要的各種各樣的 datapath 結構。

• 自動攤開 datapath 模組

驗證 — 無需手動指定界限或指定結構在同階層的電路連線便能輕易開啓驗證，自動地驗證被合併的運算，比較經過表式的最佳化電路，自動驗證乘法器與標準體系結構和動態結構

• 先進的管線流通檢查 — 驗證適當的管線流通的設計實現

• Carry-save 驗證能力 -- 讓最佳化的電路驗證包含 carry-save 轉換參數加入序列加法器、乘法器和暫存器。



最終電路驗證

Encounter Conformal EC XL 是業界唯一驗證能從 RTL 到最終佈局完驗證的產品，從 GDS 到 RTL 或閘極模組的 LVS 或擷取的 SPICE 電路連線，它可針對 LVS 創出一 SPICE 的電路連線表或直接從 GDS 萃取 RTL 或閘極模型，這個流程能確保被設計且驗證過的電路在晶圓上也能有同樣的邏輯功能。

“聰明設定”和“診斷”

Encounter Conformal EC XL 內含一套智慧的「analyze」指令來簡化設定和診斷，「analyze setup」調查當下環境便可自動地針對新的使用者常遇到的一般設定上的問題提供協助，如果遇到非相同的情況下「analyze nonequivalent」就會顯示，指令便會出現哪裡是錯誤的訊息。

平行處理

針對更大的設計，可以在許多機器同時跑 Encounter Conformal EC XL 減少整體驗證時間，且支援 LSF。

Encounter Conformal 等效性檢查員 GXL

除了上述所有特點之外，在 Encounter Conformal EC XL 還提供針對客製化設計和嵌入式記憶體電晶體電路分析，設計者可用 Encounter Conformal EC GXL 來檢查客製嵌入記憶體、算術區塊、datapaths、標準和擴充的元件庫和其他客製和半客製數位電路功能，支援的電路樣式包括標準和複雜布林函數、門閘和暫存器、通過閘、傳輸閘、三態邏輯開關、預先充電的邏輯 Cell、達美樂邏輯塊和雙重路軌。

客製邏輯抽象化

Encounter Conformal EC GXL 分析數位電晶體電路並產生一個等效邏輯 VerilogR 模型，其支援的抽象化演算法比傳統的 pattern-base 的演算法更強而有力。

被萃取的電路的 Verilog 邏輯閘模型可以用來作：

- 等效性檢查
- 缺點分級 -- 為提高 debug 效率來保存電路的階層和結構
- 仿真—提供準確仿真模型給實際電晶體等級的電路
- 模擬加速—用比 SPICE 電路模擬還快的方法萃取出大型 Verilog 模型來模擬

記憶體驗證

傳統和象徵性的模擬工具沒有針對現今記憶體的功能以及日益增加的複雜度進行改善，Encounter Conformal EC GXL 提供詳盡的邏輯驗證，因為不需利用到測試平台，其全面測試結果的品質不會被時序以及資源的可用性所限制，Encounter Conformal EC GXL 產生記憶體圖元模型讓 Verilog 系統模擬和電晶體完整的邏輯功能來驗證電路設計。

- 利用圖形介面來生成特定的圖元
- 所產生的圖元是位址、字串和可調的 MUX 欄位
- 可產生所有讀寫，唯讀和唯寫的組合
- 所產生的模擬模型有最高的性能並且包含內建判斷式來抓出不正常使用的記憶體例如位址衝突和同時讀寫的情況