

Cadence Allegro V17.2 Back Drill Enhancement 下篇 -

Setup & Analysis

延續上一篇文章跟各位介紹 Backdrill 概說、使用時機及新功能介紹；
Cadence® Allegro® 對 Backdrill 的資料分析處理技術在 17.2 版也
做了相當的提昇與補充，讓我們在進行背鑽分析時可以更清楚了解
處理的結果，藉由此篇介紹來了解在 Allegro 中進行背鑽的基本分
析作業流程。

• **Date :** 2016 / 12 / 19

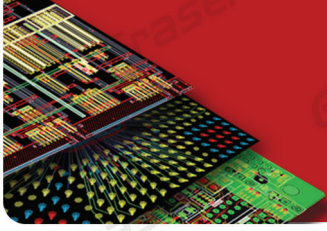
• **Author :** Mark Wu

• **Revision :**

• **Version :** Allegro V17.2

• **備註:**

Graser® <http://www.graser.com.tw>



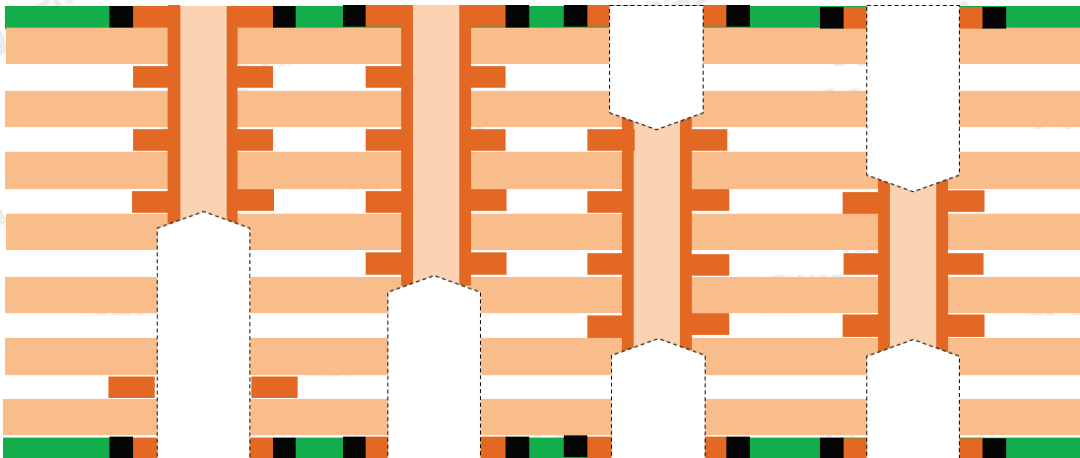
Back Drill 資料分析作業

當我們需要對 PCB 進行背鑽處理時，必須考量成本與性能這兩個條件。是要以哪一個為主？誰為輔？因為在進行背鑽作業時，PCB 廠必須一片一片板子分開處理，且做二次鑽孔時，不同背鑽深度也要分開加工，並無法在同一鑽孔加工中完成。基於製程上的因素，因此會有以下兩種考量：

1. 以訊號性能為主要訴求，成本居次。
這種方式會儘可能把 **Stub Length** 在可能範圍削切到最短的殘留程度，但卻會引發出較多不同的背鑽深度處理的需求。因此生產效率較差，且生產成本較高。
2. 以成本為主要訴求，訊號性能居次。
此種方式可能會概括地進行背鑽處理，但是處理的鑽孔深度受限制，有些背鑽位置所殘留的 **Stub length** 可能會略長，對訊號品質而言比較沒哪麼好。但因為鑽孔加工的深度一致，因此較上面的處理方式而言生產效率較佳，因此生產成本也會較低。

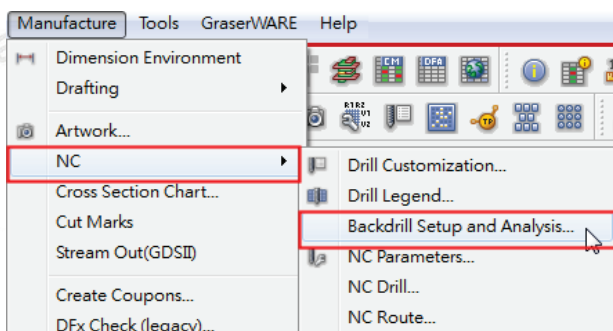
以下將 Cadence® Allegro® PCB Designer 的背鑽分析作業流程做簡單的說明：

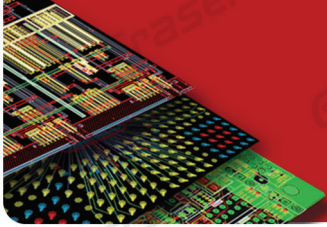
如下圖所示，白色箭頭所標示的是我們要進行背鑽處理的區域，未來在進行二次背鑽加工時，必須依照不同方向(Top 或 Bottom)，不同鑽孔深度將鑽孔資料及條件予以分析出來，以便後續的資料處理。



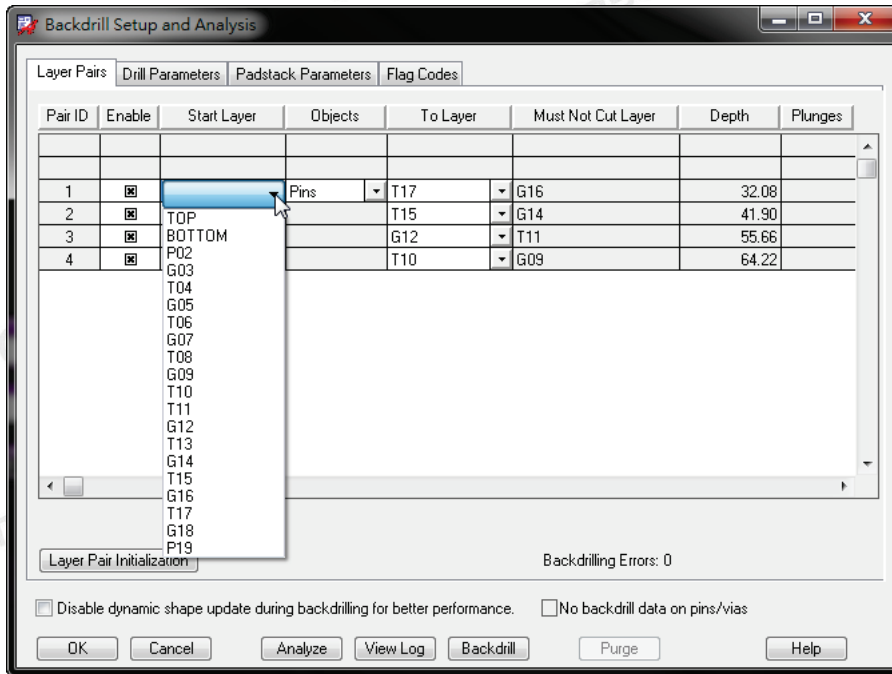
基於以上要求，因此我們需要先進行分析環境的設定：

1. 將有需要進行 **Backdrill** 處理的訊號線賦予 **BACKDRILL_MAX_PTH_STUB** 這個 Property (若不設定，則該 **Net** 將不會被參予進行 **Backdrill** 資料分析作業)。
2. 在 **Manufacture** 選單中的 **NC** 類別中，執行 **Backdrill Setup and Analysis**。





3. 在如下操作畫面中，設定要分析的可能發生背鑽處理的層面，在 **Start Layer** 欄位中設定由哪一個層面進行鑽孔，在 **To Layer** 設置背鑽處理的目的層，把所期望的各個 **layer-pair** 的組合設定進去。



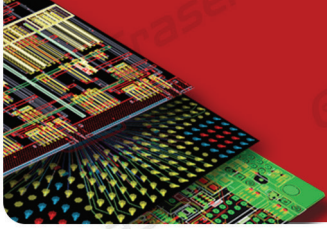
4. 最後再按下 **Analysis** 鍵來完成預分析作業，並檢視所產出的報告是否符合預期設計。

```

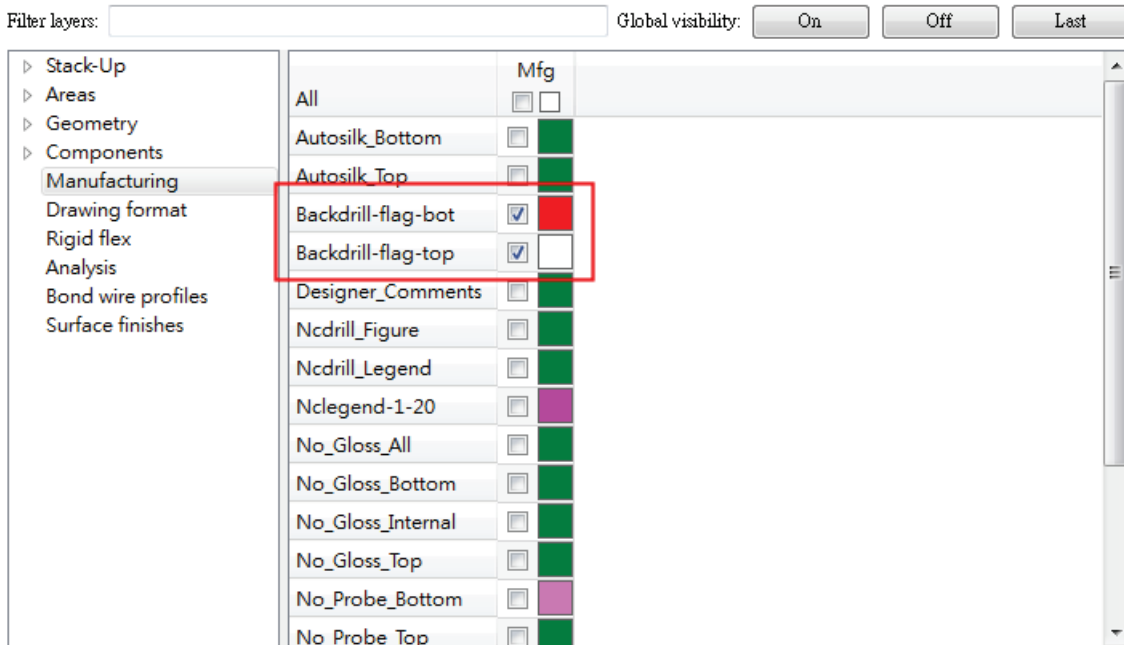
-----
Backdrilling from layer BOTTOM
NOTES: An '*' preceding the object indicates that the backdrill was the result of a BACKDRILL_OVERRIDE.
A remaining stub length of '*****' indicates an override that created an etch violation.
-----

```

Net Name	Object	Location	Finished Hole Size	Backdrill Hole Size	To Layer	Must Not Cut Layer	Maximum Depth	Maximum PTH Stub	Remaining Stub Len
I13_R1_SERCHNLO_P	Pin(J33.L6)	(9928.30 3872.10)	15.00	29.00	T10	G09	64.22	28.20	24.26
I13_R1_SERCHNLO_N	Pin(J33.K6)	(9928.30 3818.95)	15.00	29.00	T10	G09	64.22	28.20	24.26
I12_R1_SERCHNLO_N	Pin(J33.A6)	(9928.30 3340.60)	15.00	29.00	T10	G09	64.22	28.20	24.26
I11_R1_RX_CLK_PRI	Pin(J33.J5)	(10003.10 3765.80)	15.00	29.00	T15	G14	41.90	28.20	5.20
I11_R1_RX_CLK_SEC	Pin(J33.H5)	(10003.10 3712.65)	15.00	29.00	T15	G14	41.90	28.20	5.20
I12_R1_SERCHNLI_P	Pin(J33.C5)	(10003.10 3446.90)	15.00	29.00	T10	G09	64.22	28.20	24.26
I12_R1_SERCHNLI_N	Pin(J33.B5)	(10003.10 3393.75)	15.00	29.00	T10	G09	64.22	28.20	24.26
I13_R1_SERCHNLI_P	Pin(J33.M5)	(10003.10 3925.25)	15.00	29.00	T10	G09	64.22	28.20	24.26
I13_R1_SERCHNLI_N	Pin(J33.L5)	(10003.10 3872.10)	15.00	29.00	T10	G09	64.22	28.20	24.26
I12_R1_RX_CLK_PRI	Pin(J33.H4)	(10077.90 3712.65)	15.00	29.00	T10	G09	64.22	17.12	14.44
I12_R1_RX_CLK_SEC	Pin(J33.G4)	(10077.90 3659.50)	15.00	29.00	T10	G09	64.22	17.12	14.44
I12_R1_SERCHNL2_P	Pin(J33.B4)	(10077.90 3393.75)	15.00	29.00	T10	G09	64.22	28.20	24.26
I14_R1_SERCHNL2_P	Pin(J33.C7)	(9853.50 3446.90)	15.00	29.00	T15	G14	41.90	19.64	5.20
I14_R1_SERCHNL2_N	Pin(J33.B7)	(9853.50 3393.75)	15.00	29.00	T15	G14	41.90	19.64	5.20
I11_R1_SERCHNL2_P	Pin(J33.R7)	(9853.50 4084.70)	15.00	29.00	T10	G09	64.22	18.38	14.44
I11_R1_SERCHNL2_N	Pin(J33.P7)	(9853.50 4031.55)	15.00	29.00	T10	G09	64.22	18.38	14.44
I15_R1_SERCHNL2_P	Pin(J33.M7)	(9853.50 3925.25)	15.00	29.00	T15	G14	41.90	19.64	5.20

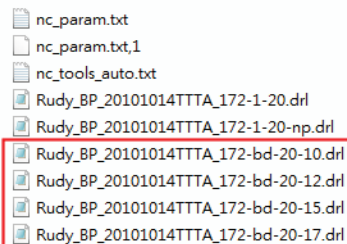
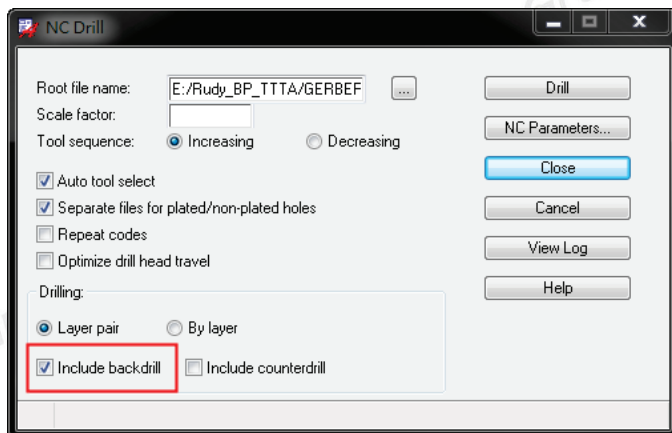


5. 最後再按下 **Backdrill** 鍵，正式進行相關資料的圖形資料產出作業，完成後，相關 **backdrill** 的標示資料就會呈現在 **Manufacturing** 的 **Backdrill-flag-bot** 及 **top** 上。

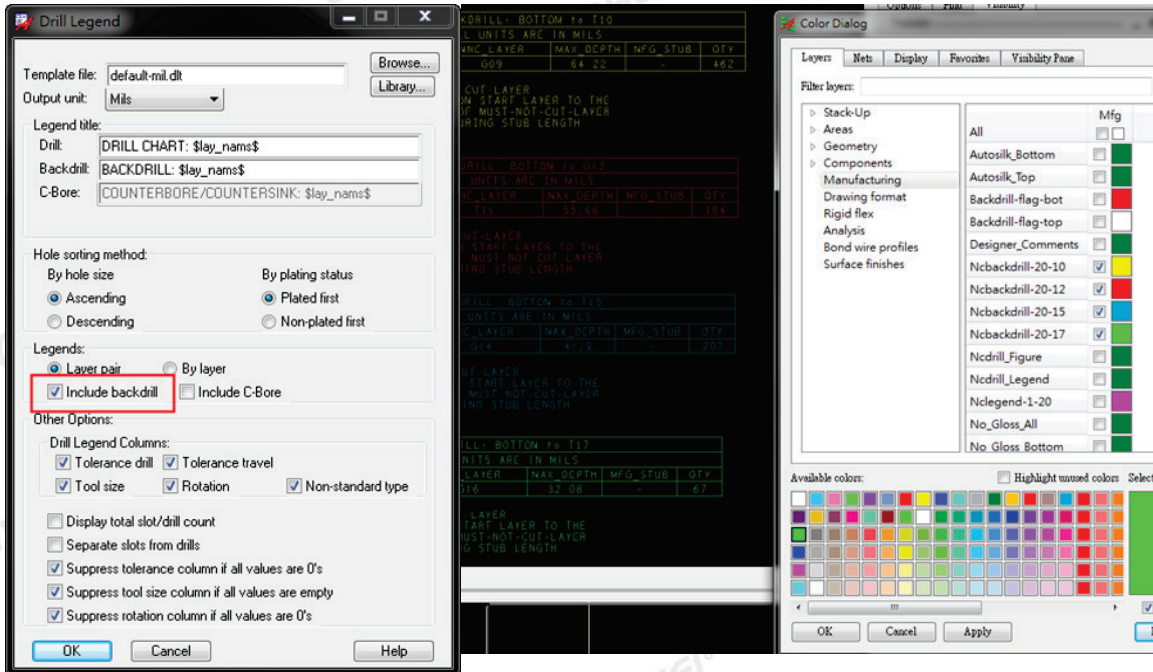


6. 最後再進行生產用數據資料及鑽孔表的產出作業。

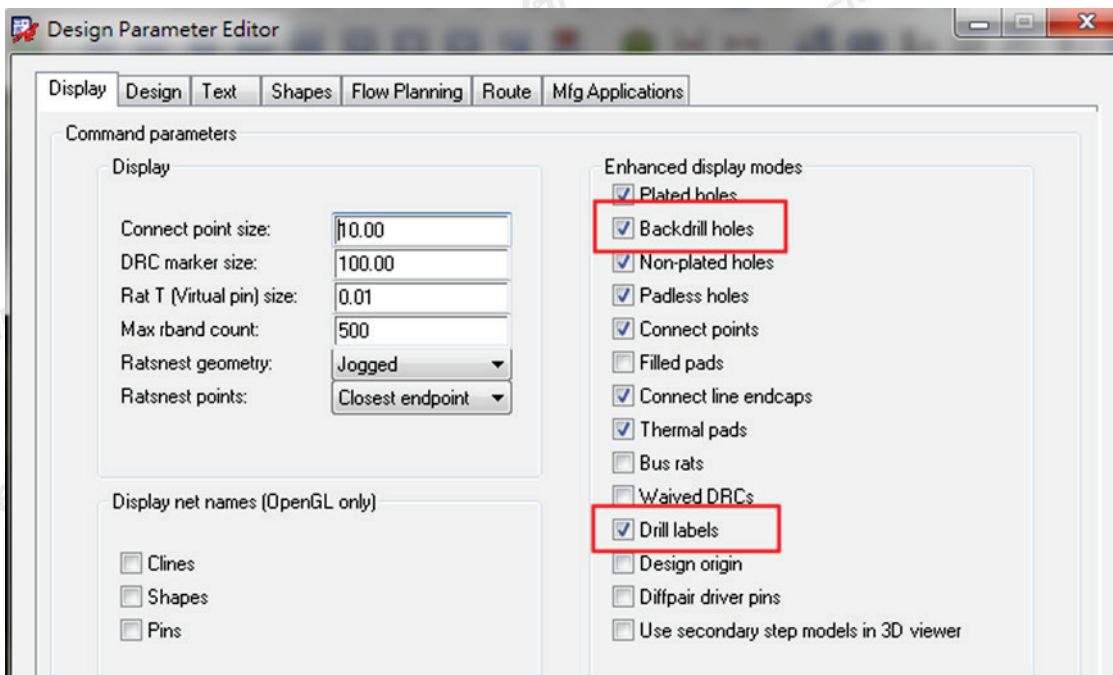
Through Hole 鑽孔資料與 **Backdrill** 資料不需分開進行輸出動作，只要加勾選 **Include backdrill** 項目就可把一般鑽孔資料與背鑽資料一起產出，背鑽檔案的檔名中會插入 **bd** 字串以便辨識。

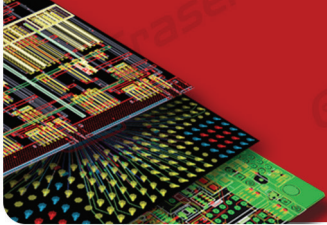


7. 鑽孔表的資料產出與一般作業相同，亦不需分開進行輸出動作，只要加勾選 **Include backdrill** 項目就可把一般 Through Hole 的鑽孔表與 Backdrill 的鑽孔表資料一起產出。



同時我們在 Board file 的圖面上也可以看到已經被 backdrill 處理後，各位置的背鑽孔的鑽孔符號及 Drill label 標示，Backdrill 的 Drill Label 寫法為「**Star Layer – To Layer – Must Not Cut Layer**」。若有需要提供含 Backdrill 的疊構資料，也可以在 Cross Section Char 裡面加勾選 Backdrill span 來將該資料一起賦予輸出。





Backdrill Setup and Analysis

Layer Pairs | Drill Parameters | Padstack Parameters | Flag Codes

Pair ID	Enable	Start Layer	Objects	To Layer	Must Not Cut Layer	Depth	Plunges
1	<input checked="" type="checkbox"/>	BOTTOM	Pins	T17	G16	32.08	67
2	<input checked="" type="checkbox"/>			T15	G14	41.90	207
3	<input checked="" type="checkbox"/>			G12	T11	55.66	184
4	<input checked="" type="checkbox"/>			T10	G09	64.22	462

Layer Pair Initialization

Backdrilling Errors: 108

Disable dynamic shape update during backdrilling for better performance. Backdrilling is out of date

OK Cancel Analyze View Log Backdrill Purge Help

Cross Section Chart and Table

Chart | Table

Maximum chart height: 2000.00 MIL
 Dielectric height scale factor: 1.000
 X scale factor: 1.000
 Text block: 1
 Text block name:

Chart Options

Drill span Stacked vias Backdrill span
 Embedded component legend

Display Options

Drill label
 Layer name
 Layer type
 Layer material name
 Individual layer thickness
 Thickness tolerance
 Embedded status
 Embedded attach method

OK Cancel Help

```

> SURFACE - 1EP 0 MIL (-0.0)
> DIELECTRIC - CONFORMAL COAT 0.5 MIL (-0.0)
L1 TOP CONDUCTOR - PLATED COPPER (FULL 2.46 MIL (-0.0) NOT_EMBEDDED
> DIELECTRIC - PP4 4 MIL (-0.0)
L2 PAD PLANE - COPPER 2.4 MIL (-0.0) NOT_EMBEDDED
> DIELECTRIC - PP4 12 MIL (-0.0)
L3 PAD PLANE - COPPER 2.4 MIL (-0.0) NOT_EMBEDDED
> DIELECTRIC - PP4 4.2 MIL (-0.0)
L4 TOP CONDUCTOR - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
> DIELECTRIC - PP4 4 MIL (-0.0)
L5 PAD PLANE - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
> DIELECTRIC - PP4 4.54 MIL (-0.0)
L6 TOP CONDUCTOR - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L7 PAD PLANE - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
> DIELECTRIC - PP4 4.54 MIL (-0.0)
L8 TOP CONDUCTOR - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L9 PAD PLANE - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L10 TOP CONDUCTOR - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L11 TOP CONDUCTOR - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L12 TOP CONDUCTOR - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L13 TOP CONDUCTOR - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L14 G16 PLANE - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L15 CONDUCTOR - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L16 G14 PLANE - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L17 CONDUCTOR - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L18 G12 PLANE - COPPER 0.62 MIL (-0.0) NOT_EMBEDDED
L19 PAD PLANE - COPPER 2.4 MIL (-0.0) NOT_EMBEDDED
> DIELECTRIC - PP4 12 MIL (-0.0)
L20 PAD PLANE - COPPER 2.4 MIL (-0.0) NOT_EMBEDDED
> DIELECTRIC - PP4 4 MIL (-0.0)
L21 BOTTOM CONDUCTOR - PLATED COPPER (FULL 2.46 MIL (-0.0) NOT_EMBEDDED
> DIELECTRIC - CONFORMAL COAT 0.5 MIL (-0.0)
> SURFACE - 1EP 0 MIL (-0.0)
  
```

DESIGN CROSS_SECTION.CHART
 TOTAL THICKNESS: 117.56 MIL