

What's New in Allegro & OrCAD 16.6-2015/Sigrity 2015

親愛的客戶，

很高興通知您，Cadence已正式發佈**Allegro & OrCAD 16.6-2015/Sigrity 2015**。

為了能即時快速的對應市場和客戶需求，自2013年起，Cadence定期(by Quarterly)發佈能為客戶帶來價值，並且可以提高產品設計效能的新功能。

您不需要等待12-18個月的新版本發佈，只需安裝最新QIR版本，就能立即使用為您帶來高效能且方便的最新功能。**Sigrity 2015** 也有另外的安裝包跟更新HotFix可供下載。

請立即上support.cadence.com 網站下載最新版本。

Note：下載前，請先確認目前使用的 **OrCAD/PSpice/Allegro/Package/Sigrity**產品是否仍在維護期內！

針對這次發佈的 **Allegro & OrCAD 16.6-2015/Sigrity 2015**，以下會先就各產品(**OrCAD Capture**、**PSpice**、**Allegro PCB**、**Package**、**Sigrity**) 新功能做簡單說明，日後將會陸續發佈詳細的功能技術文件。

• **Date**：2015 / 07 / 29

• **Author**：Addi、Stacy、Jonathan、Eric

• **Revision**：1.0

• **Version**：16.6-2015(S051) / Sigrity 2015

• **備註**：

Graser

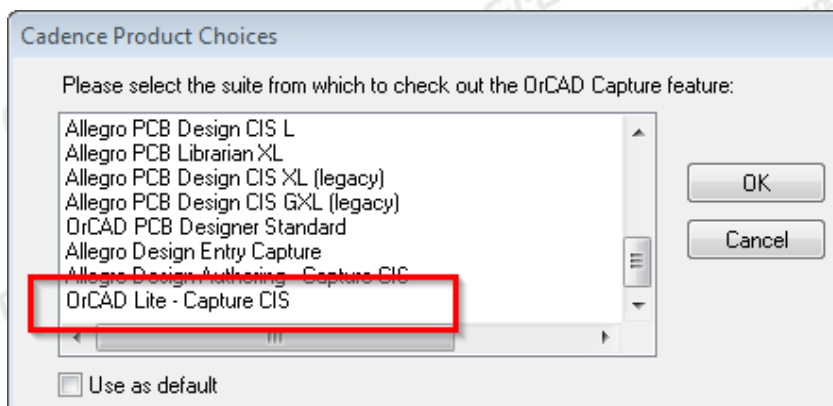
<http://www.graser.com.tw>

OrCAD / PSpice / Allegro / Package 在 16.6-2015 / Sigrity 2015 提供以下新功能：

OrCAD Capture

- 於可取用 CIS License 狀態時，啟動 OrCAD CIS Lite 模式

以往若欲啟動 CIS Lite 模式，必需於無可用 CIS license 時執行。現可於可取用 CIS license 狀態時啟動 OrCAD Lite 模式，執行有數量限制式的 CIS。



- Licenses 名稱重改

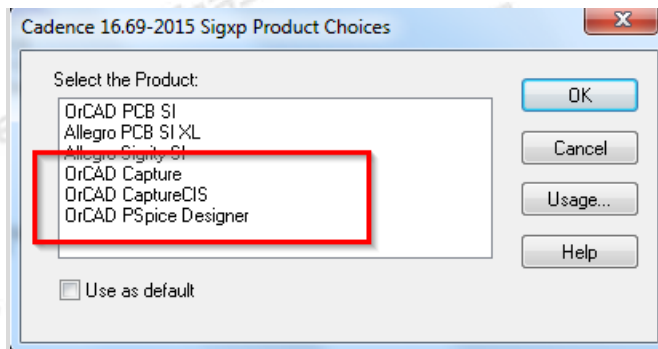
Licenses 名稱重改，先前的 EE 系列現在更名回 PSpice。

| Old License String | New License String |
|--|--|
| OrCAD EE Designer | OrCAD PSpice Designer |
| OrCAD EE Designer Plus | OrCAD PSpice Designer Plus |
| OrCAD_Capture_CIS_option with OrCAD EE Designer | OrCAD_Capture_CIS_option with OrCAD PSpice Designer |
| OrCAD_Capture_CIS_option with OrCAD EE Designer Plus | OrCAD_Capture_CIS_option with OrCAD PSpice Designer Plus |

- 從 Capture 看 SigXplore 拓譜架構

在以前的版本，必須要有 OrCAD PCB SI / Allegro PCB SI XL / Allegro Sigrity SI 的 License，才可經由 Capture – SigXplorer flow 抓出訊號的拓譜架構到 SigXplorer 中。而現在下方的三個工具都可直接支援 Capture – SigXplorer flow。

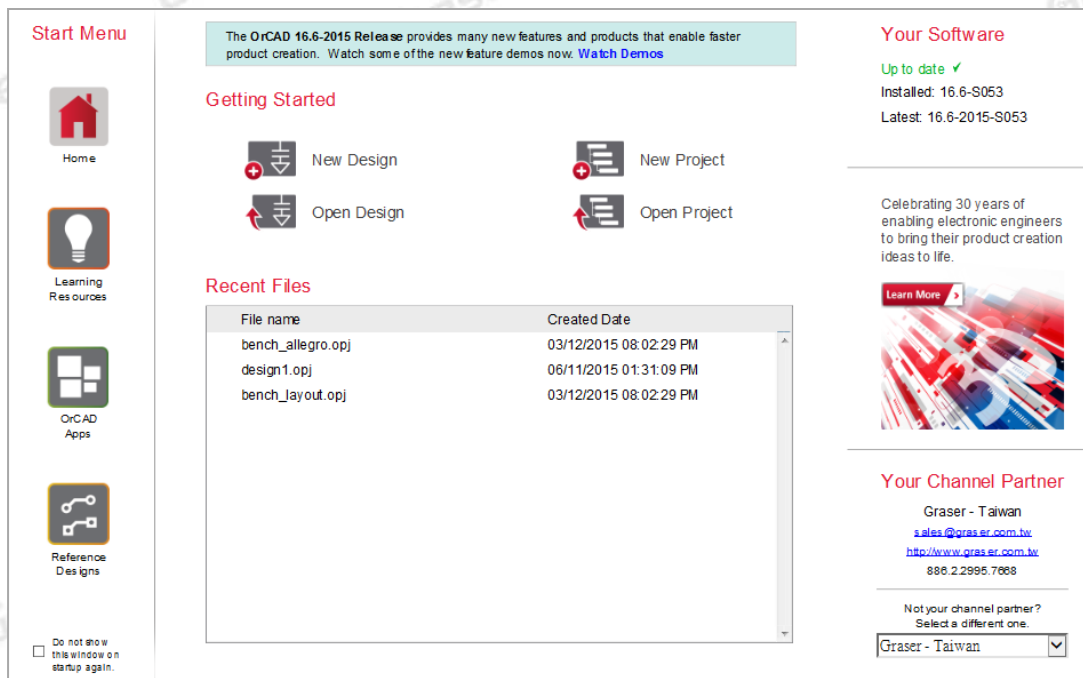
- OrCAD Capture
- OrCAD Capture CIS
- OrCAD PSpice Designer



- **Capture Start Page 啟動頁面更新**

全新的 16.6-2015 Capture start page，可以直接連到底下訊息：

- Capture 資源例如 videos、webinar 和 whitepapers
- OrCAD Marketplace 的 APPs
- OrCAD 參考設計範例檔



OrCAD PSpice

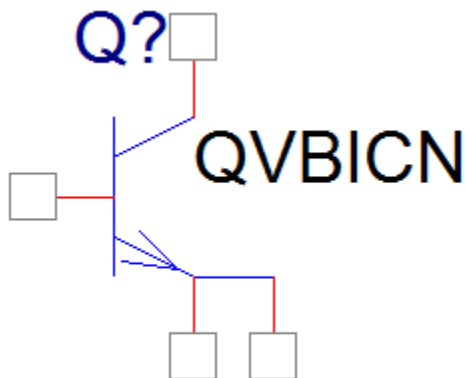
- 新的 PSpice Macro Models 零件

轉換 LTSpice 設計至 OrCAD PSpice 電路設計模擬流程中，可使用 ltspicedevices.olb 的 PSpice 零件。

| | | | |
|--------------|------------|---------------|---------------|
| LT_AND | LT_AND3 | LT_AND4 | LT_AND5 |
| LT_OR | LT_OR3 | LT_OR4 | LT_OR5 |
| LT_BUF | LT_BUF1 | LT_EX-OR | LT_INV |
| LT_Modulator | LT_OTA | LT_OTA_ASYM | LT_OTA_LINEAR |
| LT_PHASEDET | LT_RSLATCH | LT_SAMPLEHOLD | |

- 新增 VBIC 模型支援歐利效應(Early Effect)

如果考量歐利效應(Early Effect) (相關 Quasi-saturation / temperature modeling / avalanche multiplication / ...等)時，使用 BJT 模型優於 SPICE Gummel-Poon 模型。因此 breakout.olb 中新增了 QVBICN 零件(npn-type BJT 模型)。



- Device Model Interface 模型支援 Y device

Device Model Interface 模型支援 Y device，透過 model dynamic-link library (.dll)檔及 CMI 關鍵字元產生各種通用模型類型，如：BJT / Voltage-controlled Voltage Source / Thin-film Transistor 等。

Note: Only the ADMS-supported Verilog-A models are converted to PSpice DMI models。

- 支援 Verilog-A 模型

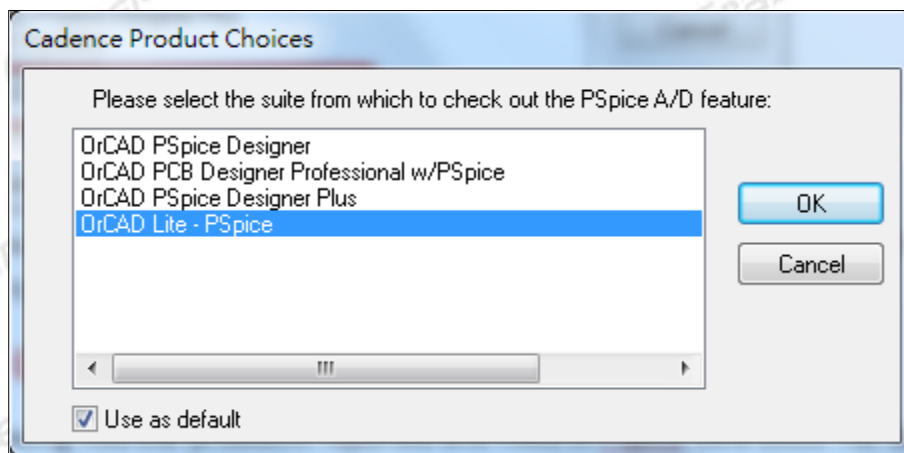
Verilog-A 模型可藉由 PSpice DMI-compatible XML filters 轉換為一個等效 C 語言模型運用模擬於 PSpice 中。

- **Device Model Interface 模型的參考文件**

於 SPB16.6-2015 安裝路徑下的 DOC 檔案夾中藉由有 PSpice Device Modeling Interface API Reference Guide(pspDMIRef.pdf)及 PSpice Device and System Modeling with C/C++ and SystemC(pspSysDsnC.pdf)文件介紹 Device Model Interface 模型。

- **於可取用 PSpice license 狀態時，啟動 PSpice Lite 模式**

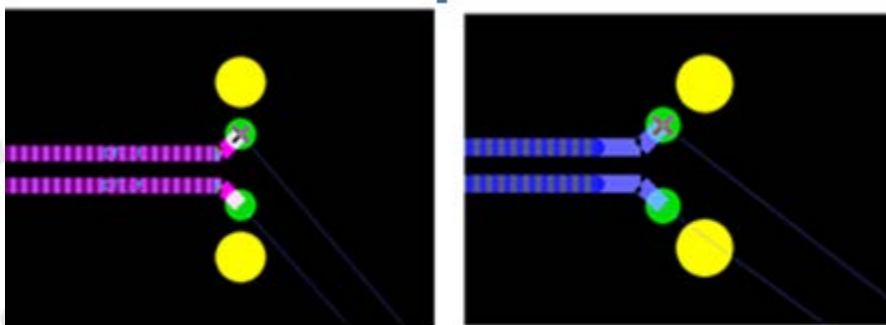
以往若欲啟動 PSpice Lite 模式，必需於無可用 PSpice license 時執行。現可於可取用 PSpice license 狀態時啟動 PSpice Lite 模式，執行有限制式的 PSpice 模擬。



Allegro PCB Designer

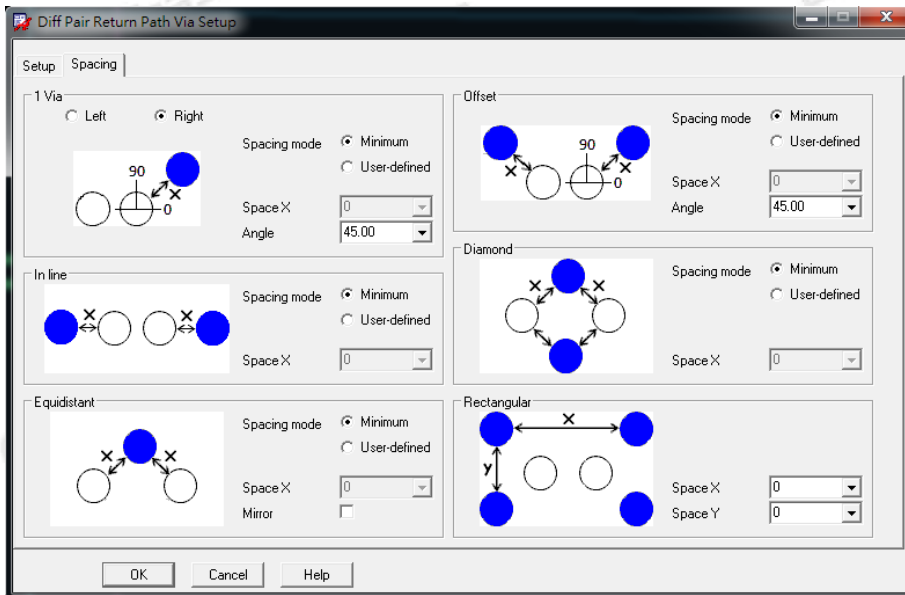
- **Differential Pair Return Path Vias (High Speed Product Option)**

可快速搭配在 differential pair 走線時，自動打 Ground reference via 或 Stitching via，以利高速訊號有較好的 return path，同時提供六種模式，可供客戶在各種狀況下選用。



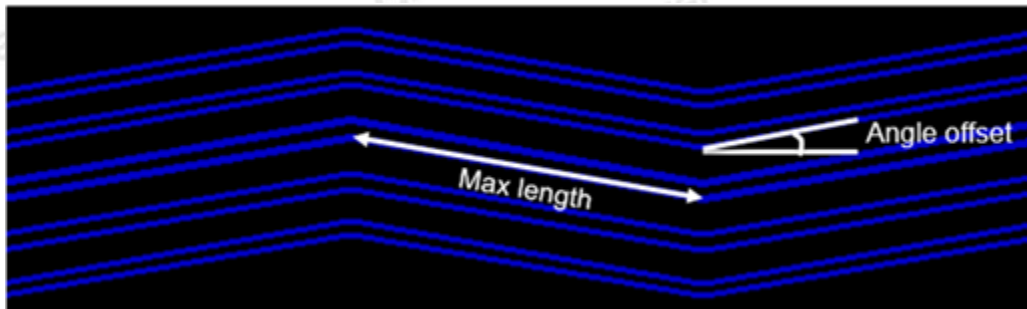
In Line

Offset



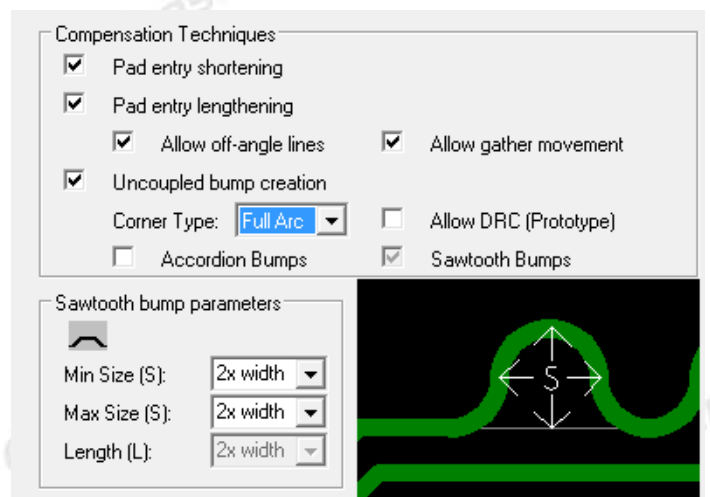
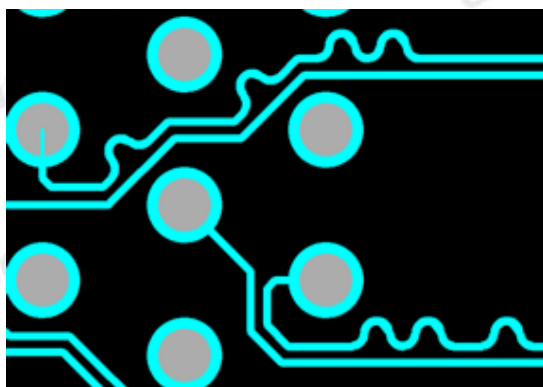
- **Fiber Weave Effect - ZigZag Routing (High Speed Product Option)**

在高速訊號走線時，只要設定長度及角度，即可快速實現任意角 Zigzag Pattern 走線。



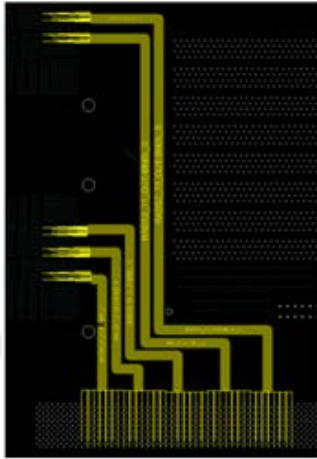
- **Auto-Interactive Phase Tune / Delay Tune Update (High Speed Product Option)**

高速訊號，快速自動走線增加 AiPT / AiDT，在 tuning bump 增加 full arc 功能設定。

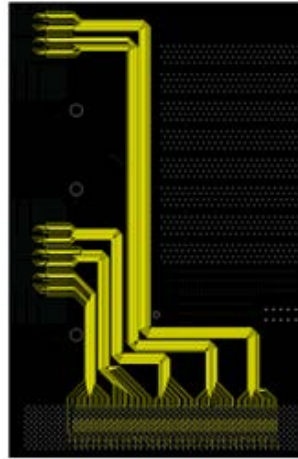


- **Strict Flow Adherence (Design Planning Product Option)**

在新的版本中，Flow Bundle 與自動走線的結果更為貼近。



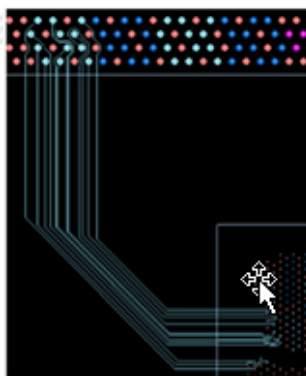
Flow Bundles



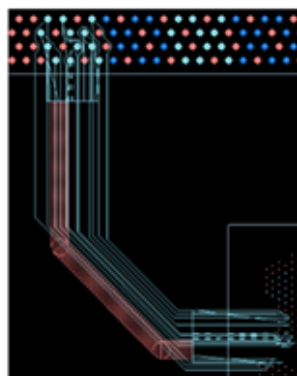
Router Results

- **Auto-Interactive Adjust Spacing (Design Planning Product Option)**

自動走線時，可依需求自動調整走線間距，並依 DRC 走最小間距以節省佈局空間，或是改善 cross talk 自訂走線間距。不需重新人工走線，節省來回修改走線的時間。



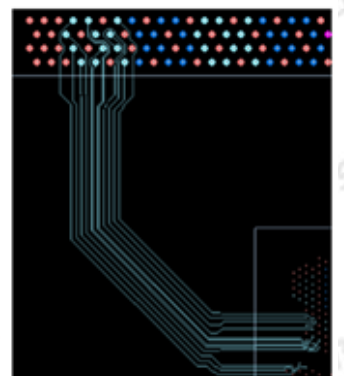
Initial Routes



Display Flow Bundle



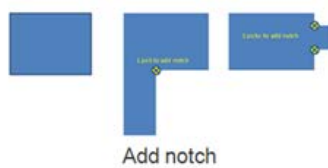
Adjust Spacing to
Min Constraint



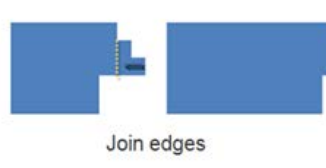
Increased Line
to Line Spacing

- **Shape Edit Application Mode**

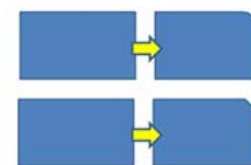
新增 Shape Edit Application Mode，可類似 slide 快速修線，讓 shape 依需求搭配相關設定，即可快速改變 shape 外形。



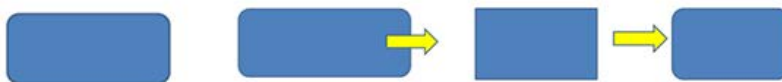
Add notch



Join edges



Corner instance
Chamfering/rounding

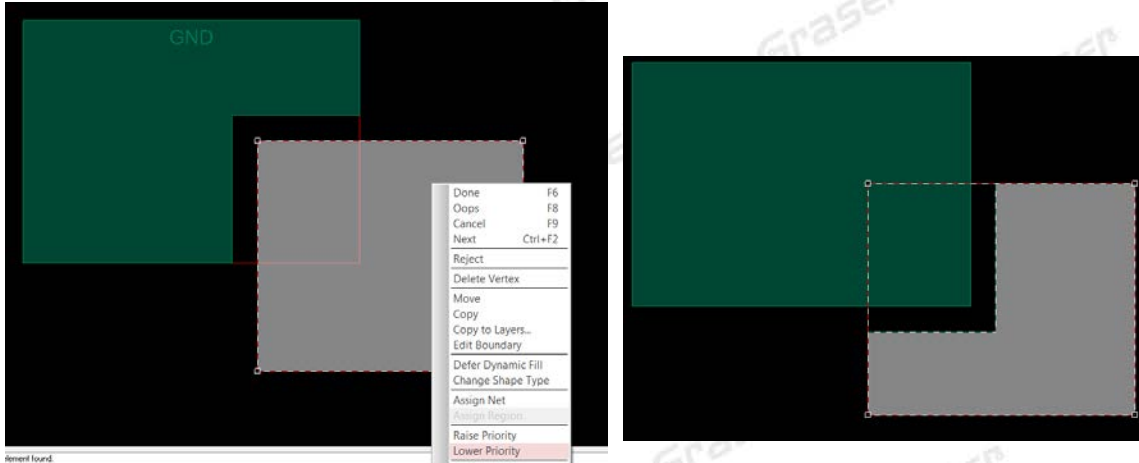


Slide edge w/corners

Convert all corners

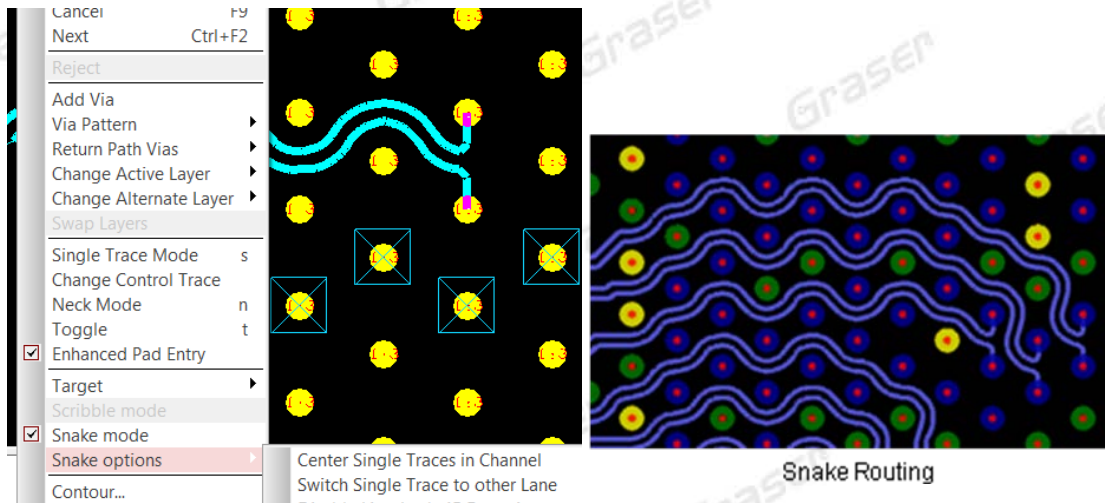
- **Lower Shape Priority**

快速調整重疊 shape 的優先順序，可指定提昇，或降低該 shape 的優先順序。



- **Snake Router Update**

針對特殊 BGA 走線功能，提供更多彈性的使用方式，如可支援單線或 differential pair，或從局部走線接續完成繞線。

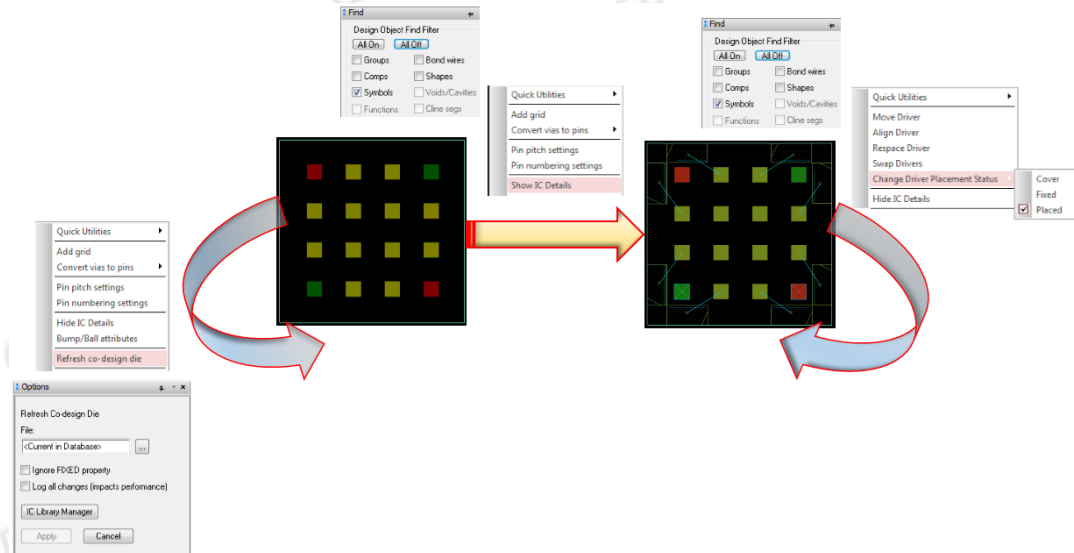


Package – APD/SiP

- **Symbol Edit Mode 也可編輯 Co-Design Die (SiP only)**

利用載入由 IC 設計工具所產生的 die abstract 可建出 Co-Design Die，現在於 Symbol Edit Mode 下也能查看或編輯 Co-Design Die 的 die bumps 跟 I/O drivers，讓我們有機會在 IC 端理想的 Bump pattern 跟 package substrate 的 pin escape 或 wire pattern 之間求取最佳的平衡，修改之後可再以 XDA 檔 update 給 IC 設計工具。

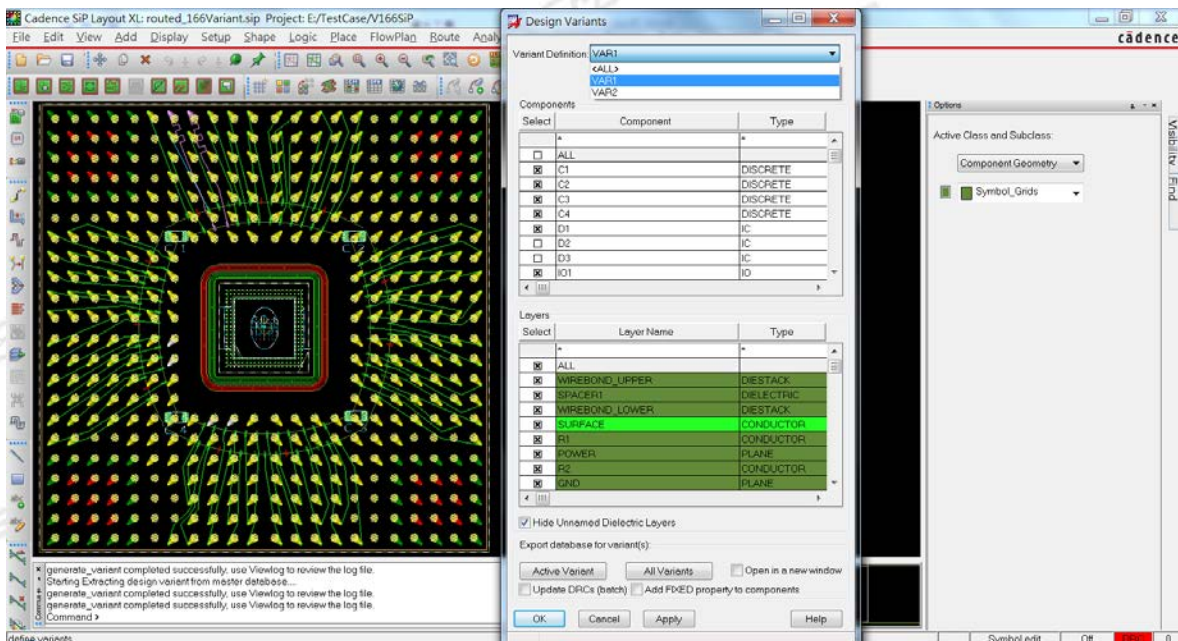
如若對 Co-Design Die 點滑鼠右鍵選 Show IC Detail，可看到其 I/O drivers，並可執行：Move / Align / Respace / Swap / Change Driver Placement Status 編輯。



- **Defining Variants(SiP only)**

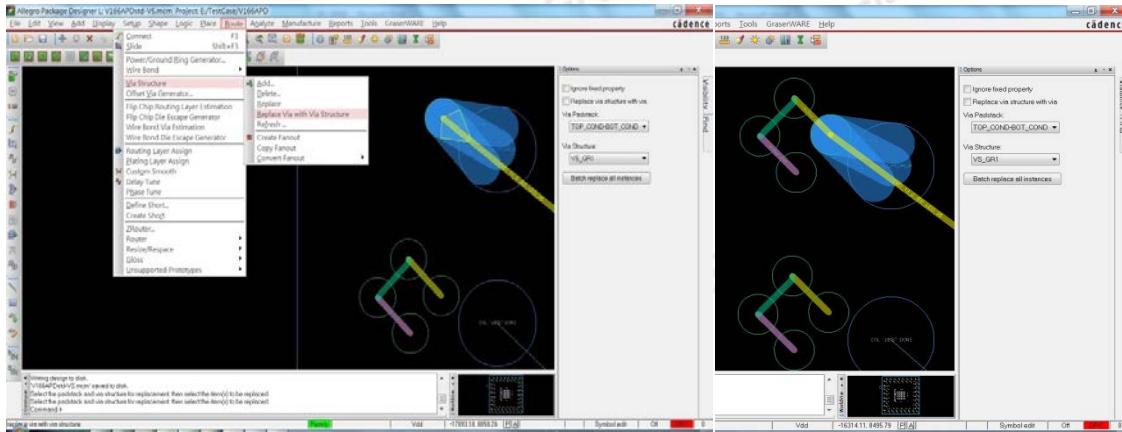
Variants 一檔多料，可以利用 Manufacture – Define Variants 將零件或層面依不同的料件組合對原始檔定出各種變異組合，例如有一個多 Memory Die 的封裝設計，可依照不同 vendors 需求定義不同的 Die 組合，而這些組合可儲存於原始的 SiP 檔案中，並會自動複製出多個 SiP 檔，當有修改更動只要對原始檔編輯就會更新到其他組合的 SiP 檔案中。

(Variant BOM 目前要另外搭配 Project Manager 下的 Variant Editor)



- **Replace Via with Via Structure**

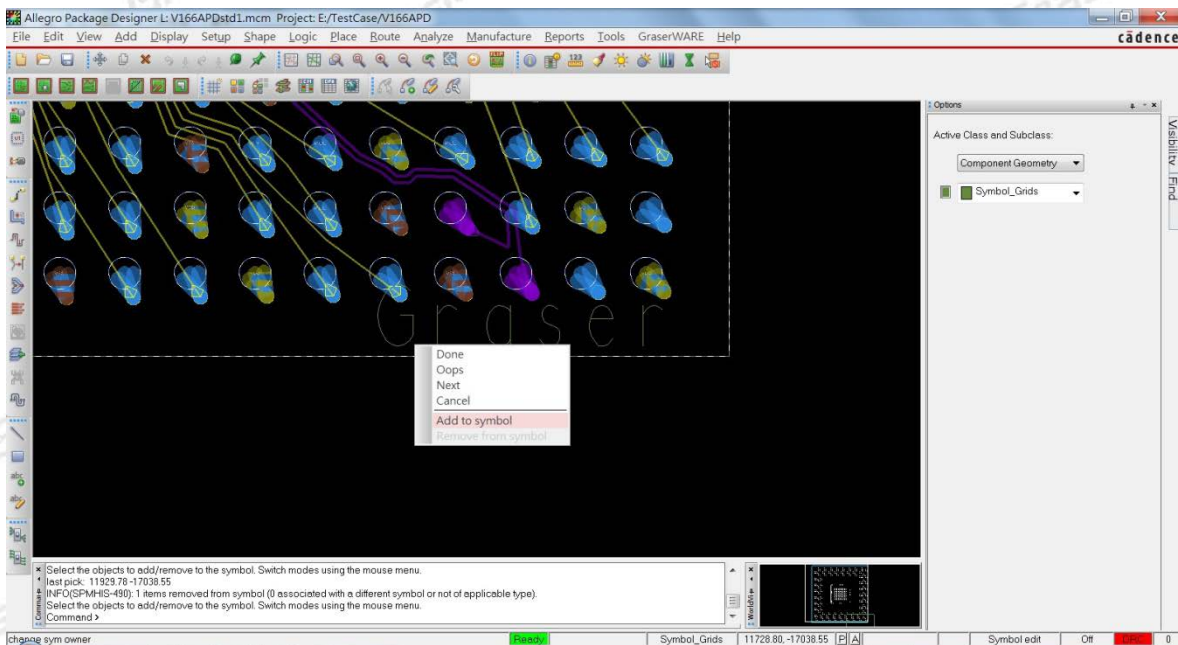
新版中可用 **Replace Via with Via Structure** 可將選定或所有 Via 替換成指定的 Via structure，也有反向的動作可把 Via structure 換成 Via。

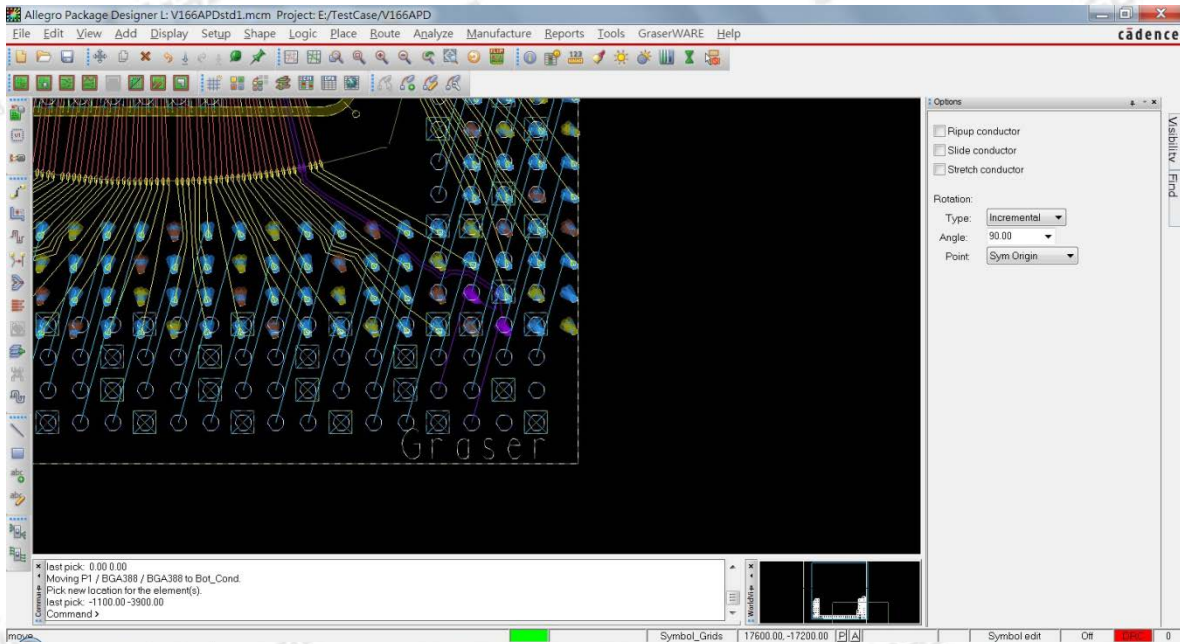


- **Changing Symbol Owner**

現在經由 **Changing Symbol Owner** 的宣告，可在 **symbol** 下以手動的方式直接加入其下階靜態物件，如 **texts**、**fiducial vias**、**alignment lines**、**reference outlines**、**shapes**。而對此 **symbol** 的編輯動作，如 **move** 或 **delete** 也可對其下階物件執行。

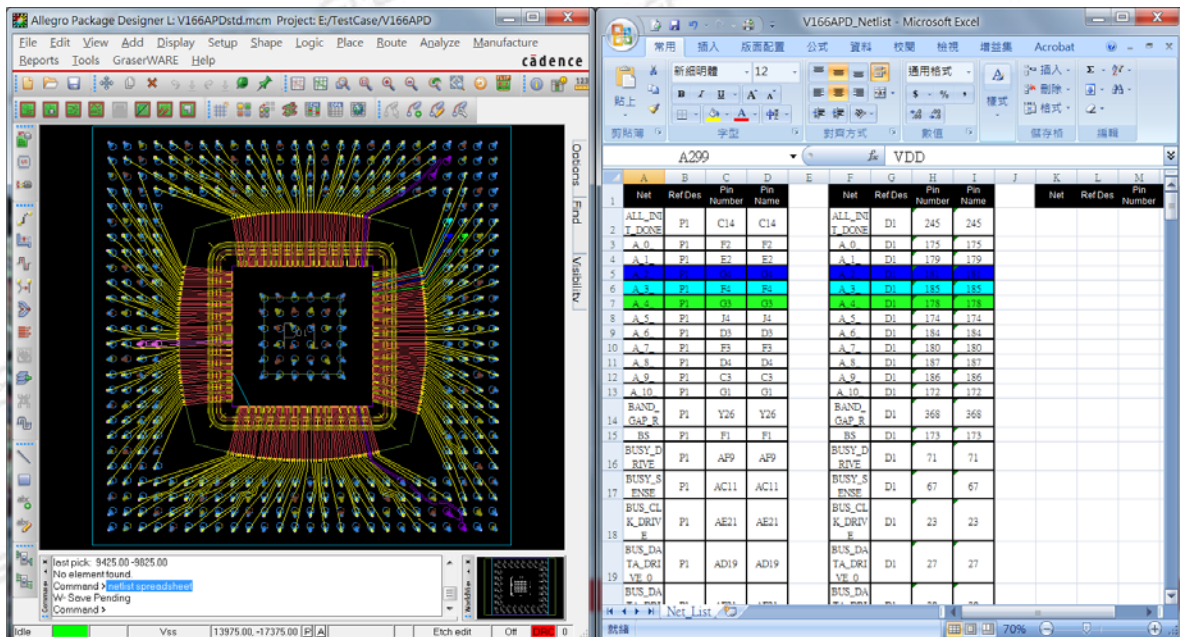
Note：若以零件庫為來源刷新零件，先前所加的下階物件都會不見，若想保留請先拆開另外備份，零件刷新後再貼入。





- 炸出 Netlists

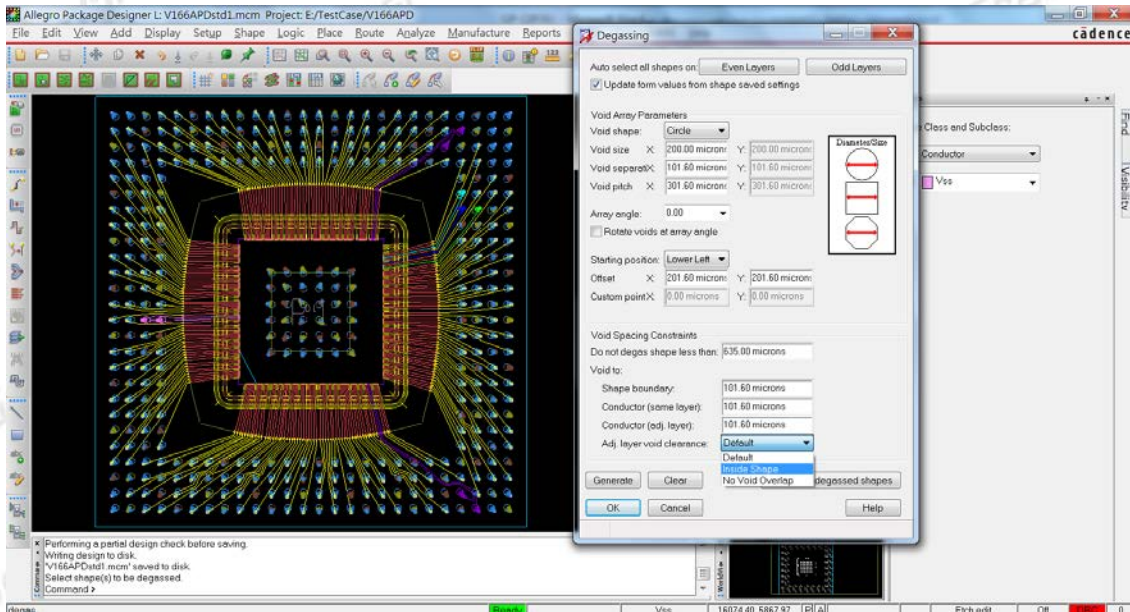
現在可用 `File/export/netlist spreadsheet` 指令，炸出表格式的 Netlist 檔，來做為輸出文件之用。它會把 BGA/die/discrete 零件的訊號在其 Net name、RefDes、Pin Number、Pin Name 相關的欄位中列出來，若其訊號有指定顏色其相關的欄位也會隨著變化。



- **Degassing 對相鄰層建立 Void 新設定**

在新版中對相鄰層設定 Degassing Void 時，可在其 Adj. layer void clearance option 中宣告新的條件，並經由底下的設定對相鄰層的 void 做更佳的控制：

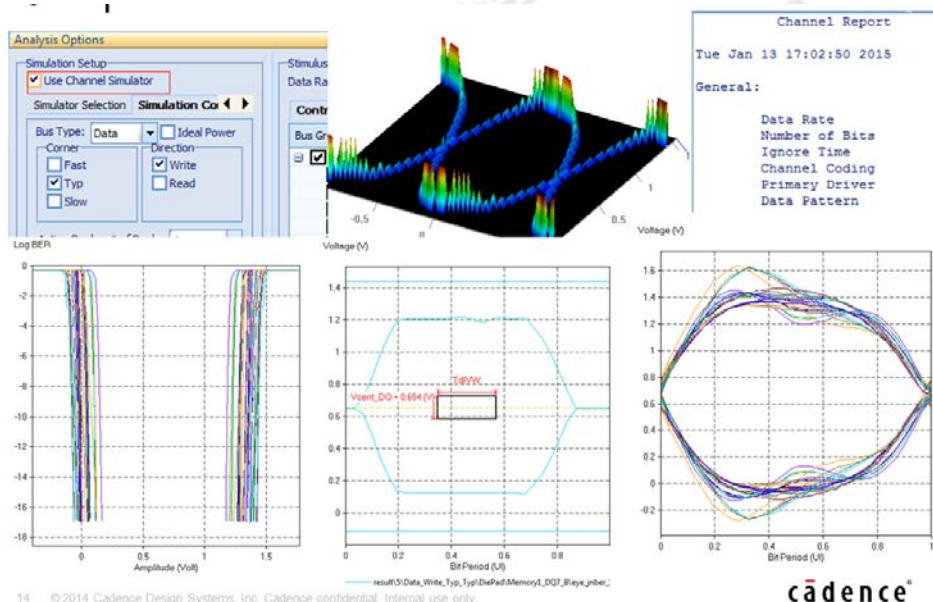
- **Inside Shape**：相鄰層的 Degassing Void 得要形狀完整才會建立出 void。
- **No Void Overlap**：相鄰層的 Degassing Void 得要與當層不重疊才會建立出 void。



Signity

- **LPDDR4 Analysis and BER Report**

SystemSI-PBA 支援 LPDDR4 的規範和 BER 分析，為了要對應 DDR4，現在 PBA 內也加了 Channel Analysis 可做 BER 分析，其 Vcenter 也會自動標示，最後的報表格式也可選 DDR4 或 LPDDR4。



- **SPEED2000 DDR Timing Report**

現在 SPEED2000 也可以像 SystemSI-PBA，能夠選擇套用 DDR 來輸出完整的報表內容。

DDR3 Measurement Report
- 1.333Gbps, Write

Generated by Cadence SPEED2000, 15.0.a0.01041
January 09, 2015

Useful Links:

- Cadence website: <http://www.cadence.com>
- DDR3 SDRAM Specification: http://www.jedec.org/html/je44/je44039_31.pdf

Table of Contents

- General Information
- Simulation Setup
 - Bus Group
 - Analysis Options
 - Bus Size
 - Simulation Setup Parameters
 - Block and Bit Patterns
 - AC and DC Load Levels
 - Setup
 - Signal Sampling Table
 - Hold Sampling Table
- Results
 - Waveform Quality Report
 - Data Bus Report
 - Address Bus Report
 - Bus Quality Report
 - Data Bus Report
 - Address Bus Report
 - Timing Report
 - Data Bus Report
 - Address Bus Report
 - Block Case Summary
 - Timing Report - Setup and Clock
 - Data Bus Report
 - Address Bus Report
- Appendix
 - JDEC DDR Measurement Definitions
 - Decomposition of Measurements

Table of Results:

| Pin Name | Pin | Direction | Signal Type |
|----------|-----|-----------|-------------|
| A0 | 00 | Out | Signal |
| A1 | 01 | Out | Signal |
| A2 | 02 | Out | Signal |
| A3 | 03 | Out | Signal |
| A4 | 04 | Out | Signal |
| A5 | 05 | Out | Signal |
| A6 | 06 | Out | Signal |
| A7 | 07 | Out | Signal |
| A8 | 08 | Out | Signal |
| A9 | 09 | Out | Signal |
| A10 | 10 | Out | Signal |
| A11 | 11 | Out | Signal |
| A12 | 12 | Out | Signal |
| A13 | 13 | Out | Signal |
| A14 | 14 | Out | Signal |
| A15 | 15 | Out | Signal |
| A16 | 16 | Out | Signal |
| A17 | 17 | Out | Signal |
| A18 | 18 | Out | Signal |
| A19 | 19 | Out | Signal |
| A20 | 20 | Out | Signal |
| A21 | 21 | Out | Signal |
| A22 | 22 | Out | Signal |
| A23 | 23 | Out | Signal |
| A24 | 24 | Out | Signal |
| A25 | 25 | Out | Signal |
| A26 | 26 | Out | Signal |
| A27 | 27 | Out | Signal |
| A28 | 28 | Out | Signal |
| A29 | 29 | Out | Signal |
| A30 | 30 | Out | Signal |
| A31 | 31 | Out | Signal |
| A32 | 32 | Out | Signal |
| A33 | 33 | Out | Signal |
| A34 | 34 | Out | Signal |
| A35 | 35 | Out | Signal |
| A36 | 36 | Out | Signal |
| A37 | 37 | Out | Signal |
| A38 | 38 | Out | Signal |
| A39 | 39 | Out | Signal |
| A40 | 40 | Out | Signal |
| A41 | 41 | Out | Signal |
| A42 | 42 | Out | Signal |
| A43 | 43 | Out | Signal |
| A44 | 44 | Out | Signal |
| A45 | 45 | Out | Signal |
| A46 | 46 | Out | Signal |
| A47 | 47 | Out | Signal |
| A48 | 48 | Out | Signal |
| A49 | 49 | Out | Signal |
| A50 | 50 | Out | Signal |
| A51 | 51 | Out | Signal |
| A52 | 52 | Out | Signal |
| A53 | 53 | Out | Signal |
| A54 | 54 | Out | Signal |
| A55 | 55 | Out | Signal |
| A56 | 56 | Out | Signal |
| A57 | 57 | Out | Signal |
| A58 | 58 | Out | Signal |
| A59 | 59 | Out | Signal |
| A60 | 60 | Out | Signal |
| A61 | 61 | Out | Signal |
| A62 | 62 | Out | Signal |
| A63 | 63 | Out | Signal |
| A64 | 64 | Out | Signal |
| A65 | 65 | Out | Signal |
| A66 | 66 | Out | Signal |
| A67 | 67 | Out | Signal |
| A68 | 68 | Out | Signal |
| A69 | 69 | Out | Signal |
| A70 | 70 | Out | Signal |
| A71 | 71 | Out | Signal |
| A72 | 72 | Out | Signal |
| A73 | 73 | Out | Signal |
| A74 | 74 | Out | Signal |
| A75 | 75 | Out | Signal |
| A76 | 76 | Out | Signal |
| A77 | 77 | Out | Signal |
| A78 | 78 | Out | Signal |
| A79 | 79 | Out | Signal |
| A80 | 80 | Out | Signal |
| A81 | 81 | Out | Signal |
| A82 | 82 | Out | Signal |
| A83 | 83 | Out | Signal |
| A84 | 84 | Out | Signal |
| A85 | 85 | Out | Signal |
| A86 | 86 | Out | Signal |
| A87 | 87 | Out | Signal |
| A88 | 88 | Out | Signal |
| A89 | 89 | Out | Signal |
| A90 | 90 | Out | Signal |
| A91 | 91 | Out | Signal |
| A92 | 92 | Out | Signal |
| A93 | 93 | Out | Signal |
| A94 | 94 | Out | Signal |
| A95 | 95 | Out | Signal |
| A96 | 96 | Out | Signal |
| A97 | 97 | Out | Signal |
| A98 | 98 | Out | Signal |
| A99 | 99 | Out | Signal |
| A100 | 100 | Out | Signal |

- **HDMI 2.0 Compliance Kit**

SystemSI-SLA 在 2015 版中新增 HDMI 2.0 的 Compliance Kit，並且支援對 CABLE 端 TP2 的 Compliance 檢查功能。

- **Sigrity 2015 adds HDMI 2.0 (up to 6Gbps) compliance kit to existing HDMI 1.4b version**

- **Also adds support for “TP2” compliance checks**

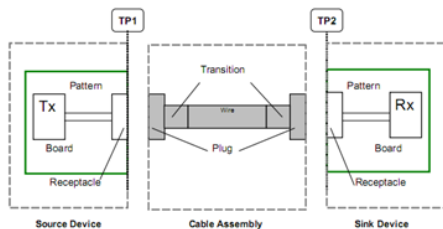


Figure 4-15 TMDS Link Test Points

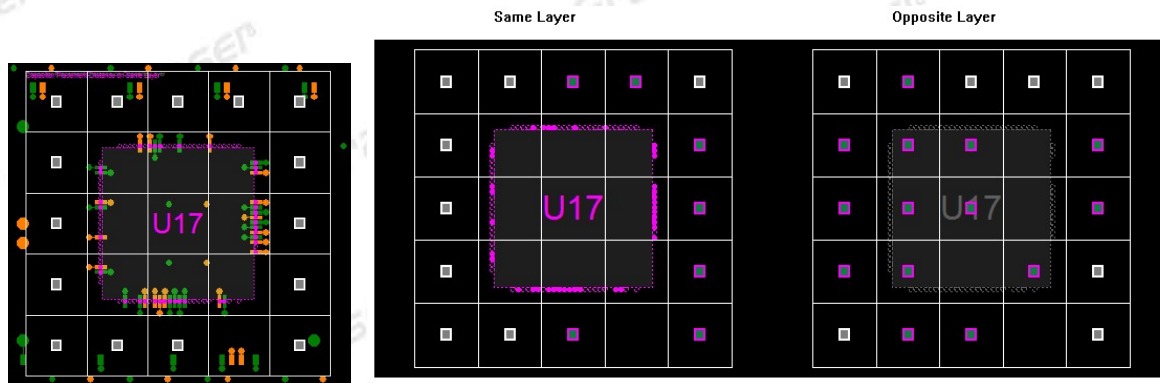
Choose compliance item

| No. | Parameter | Symbol | <input type="checkbox"/> |
|-----|-----------|--------|-------------------------------------|
| 1 | Eye Mask | | <input checked="" type="checkbox"/> |

Figure 6-3: HDMI Source Test Point for Eye Diagram

- **Decoupling Capacitor Optimization – Alternate location**

OptimizePI 新增了對另外增加 Decap 的優化選取功能，所新增的 Decap 可以在同層、相對層或是在零件下的不同條件。



- **XtractIM / 3D-EM Package Partitioning**

XtractIM 在 3DEM 模式下可自動抓取訊號，與周邊干擾最強的數個訊號形成獨立區塊，當各個區塊執行完畢再整合成完整結果一齊輸出。

