

What's New in 16.6 QIR8 (HotFix38)

親愛的客戶，

很高興地通知您，Cadence已正式發佈**Allegro & OrCAD 16.6 Quarterly Incremental Release (QIR8)**

為了能即時快速地對應市場和客戶需求，自2013年起，Cadence定期(by Quarterly)發佈能為客戶帶來有價值，並且可以提高產品設計效能的新功能。

您不需要等待12-18個月的新版本發佈，只需安裝最新QIR版本，就能立即使用為您帶來高效能且方便的最新功能。

請立即上support.cadence.com 網站下載最新版本

Note：下載前，請先確認目前使用的OrCAD／Allegro／Sigrity產品是否仍在維護期內！

針對這次發佈的 Allegro & OrCAD 16.6 QIR8，以下我們會先就各產品(OrCAD Capture、PSpice、HDL、Allegro PCB、Allegro Package、Allegro Sigrity) 新功能做簡單說明，詳細的功能介紹會於日後陸續發佈的技術文件中，敬請期待。

• **Date：** 2015 / 01 / 06

• **Author：** Addi、Mark、Mika、Eric、Nemo

• **Revision：** 1.3

• **Version：** v16.6 QIR8

• **備註：**

<http://www.graser.com.tw>

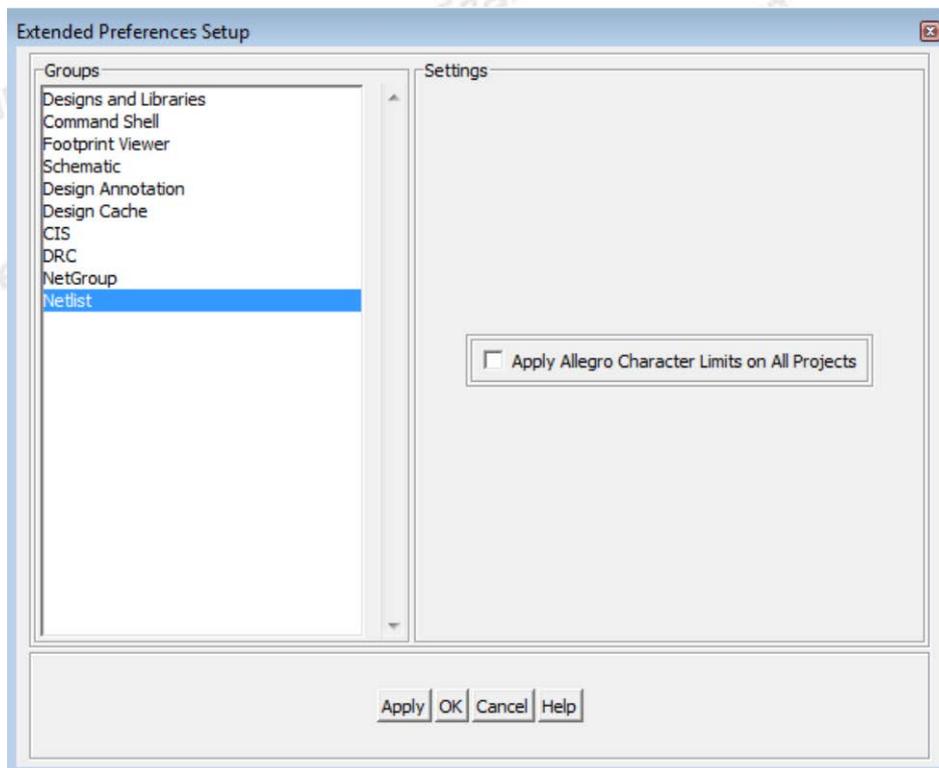
OrCAD / Allegro 對於到來的 QIR8 提供了如下新功能：

OrCAD Capture

- **Allegro Character limit on all projects**

Capture 新增產生 Netlist 時，特殊字元設定於 Accessories — Cadence Tcl/Tk Utilities — Utilities — Tcl/Tk Applications Dashboard — Extended Preferences 功能選單中，勾選 Apply Allegro Character Limits on All Projects 選項，即可將 Allegro 特殊字元限制套用到所有專案 Netlist 檢查。指令也可透過 Tcl Command 視窗執行，輸入下方指令即可：

SetOptionString "AllegroCharLimitInINI" "TRUE"



- **Option to Disable Autobackup**

OrCAD Capture 可以透過 Tcl Command 指令功能將 Autobackup 功能關閉。在 Capture Command window 中輸入下方字串即可，此設定將儲存在 Capture.ini 檔案中。

SetOptionString "DisableAutobackup" "TRUE"

OrCAD PSpice

- **Enhancements in Learning PSpice**

在 Help 選單中的 Learn PSpice，新增 Analyses Using PSpice 使用者學習手冊。內容包含 Introduction、Transient Analysis 及 AC Analysis 三個章節。

在這份學習手冊中，包含了從 Capture 的電路繪製到 PSpice 模擬分析的作業流程及相關文件說明與範例資料。

Introduction
PSpice_Application_Notes
BasicElectronics
Power_Electronics_Design_Examples
PSpiceAdvanceAnalysis
Analyses Using PSpice
+ Introduction
+ Transient Analysis
+ AC Analysis

Introduction

Cadence® PSpice® is a simulation tool that performs analysis an DC, Parametric Sweep, and worst-case .

The capters in this book use circuit examples to explain the differ first chapter, end with one or more exercises for you to practice.

In this chapter, you will use OrCAD® Capture to create a simple s results in the PSpice Probe window. You can skip this chapter and PSpice. You can also refer to PSpice Online Help for more informa

Creating a Design

Choose *File – New – Project* in Capture to create a new project.

Note: You can click the icon on the right (📁) to open a project t

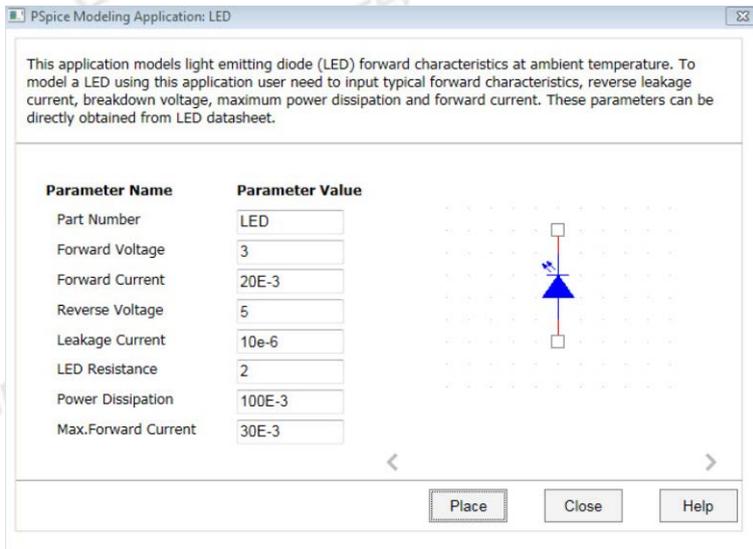
- **New Keyword added in PSpice**

對PSpice 使用與語法新增 ITERCOUNT 指令，該指令是用於介入計算在進行暫態分析時的每一個取樣時間。指令範例如下：

```
.probe P(ITERCOUNT)
```

- **Light-Emitting Diode (LED)**

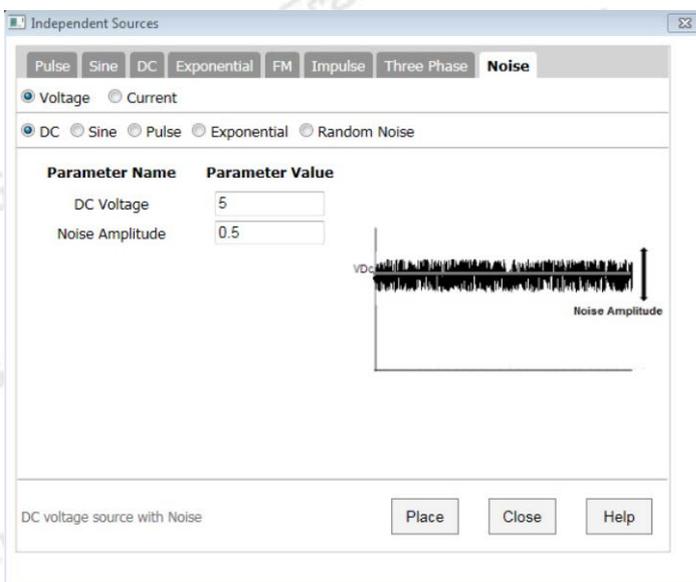
對於 Modeling Apps 新增暫代性 LED Model 功能，可以自行編輯建立簡單的發光二極體的 PSpice Model 及 Symbol。



此功能可依需求自行設定順向電壓、逆向峰值電流、崩潰電壓...等資料來快速建立LED model。

- **Noise Sources**

在 Modeling Apps 新增暫代性雜訊源（電壓 & 電流），提供 DC、Sine、Pulse、Exponential 及 Random 形式的雜訊源 Model 產生功能。



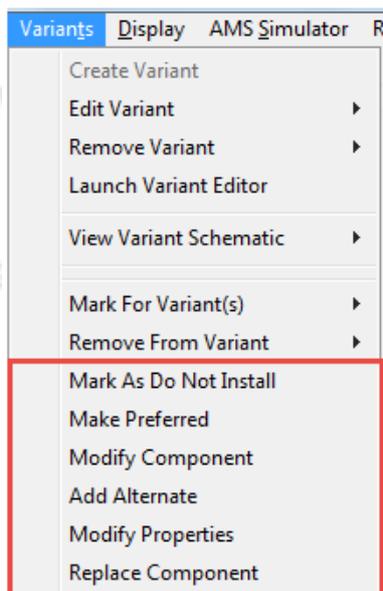
Design Entry HDL

- **新增 Port Group 功能**

Design Entry HDL 中，新增了 Port Group 功能。使用 Port Group 功能可連結到階層式線路圖中的 Net Group 序號，可以提升 Netlist 的產生的效率。更詳細操作說明，請參考 Cadence document [Working With Net Groups and Port Groups](#)

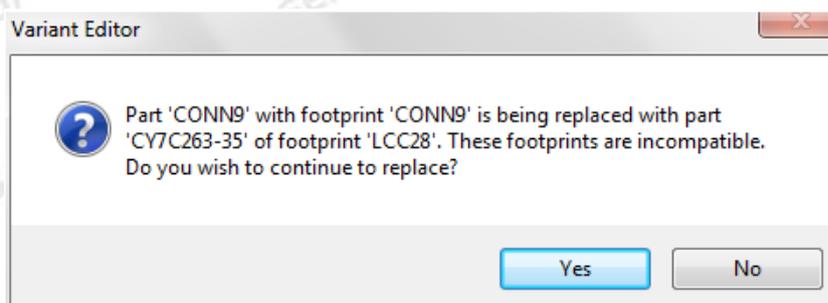
- **Variant Operations in Design Entry HDL**

Design Entry HDL Variant Editor 功能，現在可以針對 Variant New/Remove/Edit 等操作，在線路圖中直接編輯。更詳細操作說明，請參考 Cadence document [Managing Variants in Design Entry HDL](#)



- **Replace Component Validation in Variant Editor**

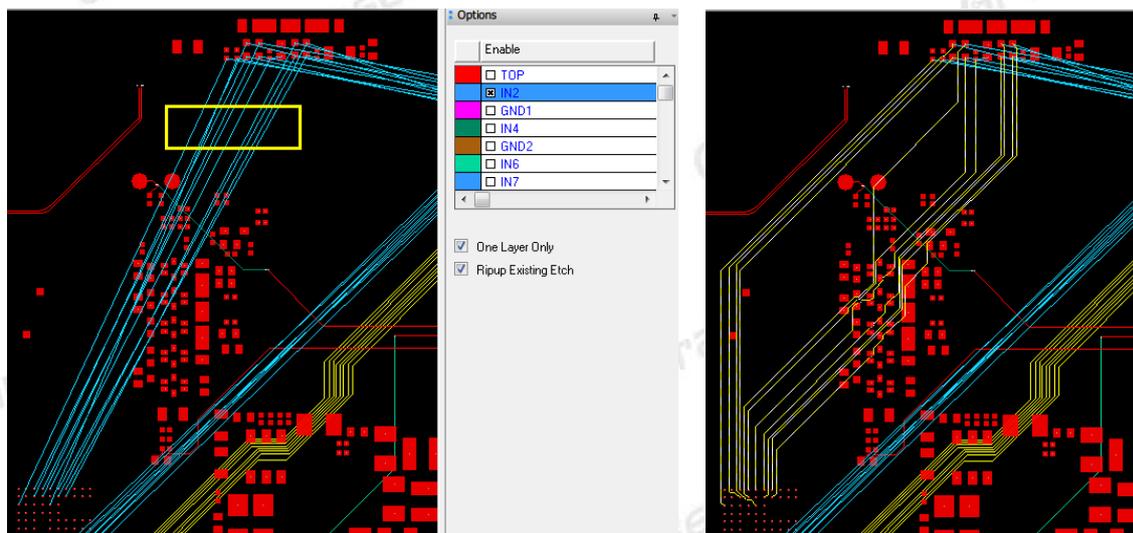
當在 Variant Editor 操作 replace 零件時，如果選擇替換不同的零件包裝(Footprint)，新版本將會顯示提示訊息視窗。更詳細操作說明，請參考 Cadence document [Design Variance User Guide](#)。



Allegro PCB Designer — Route Interconnect Optimization

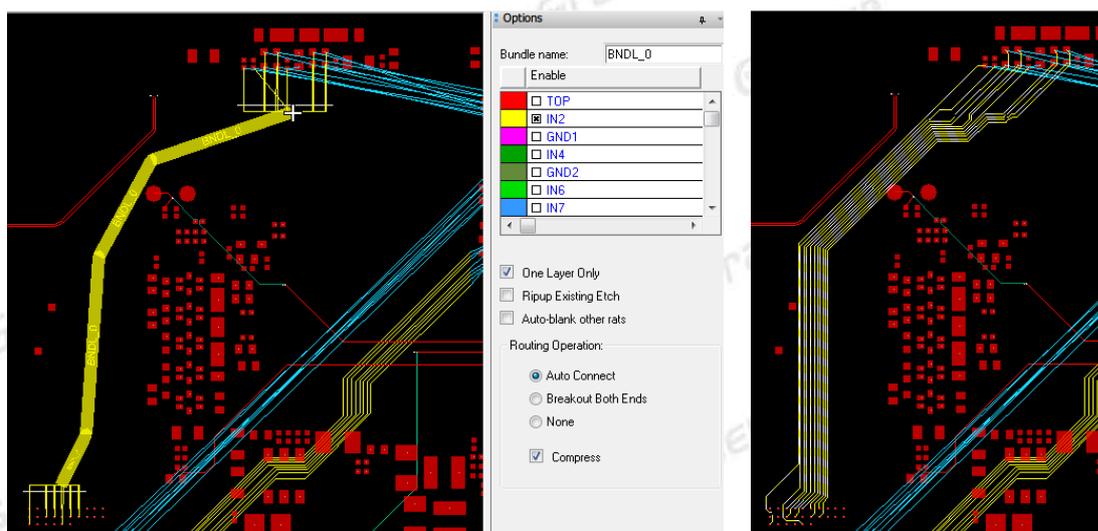
• Auto Connect (Design Planning Option – Unsupported Prototype)

為了縮短佈線階段所花的工時，而導入了新的自動交互式技術(Auto-interactive technology)，協助設計人員能夠在選擇一把鼠線之後執行指令，並可定義走線層面來完成自動連接走線工作。



• Create Flow (Unsupported Prototype)

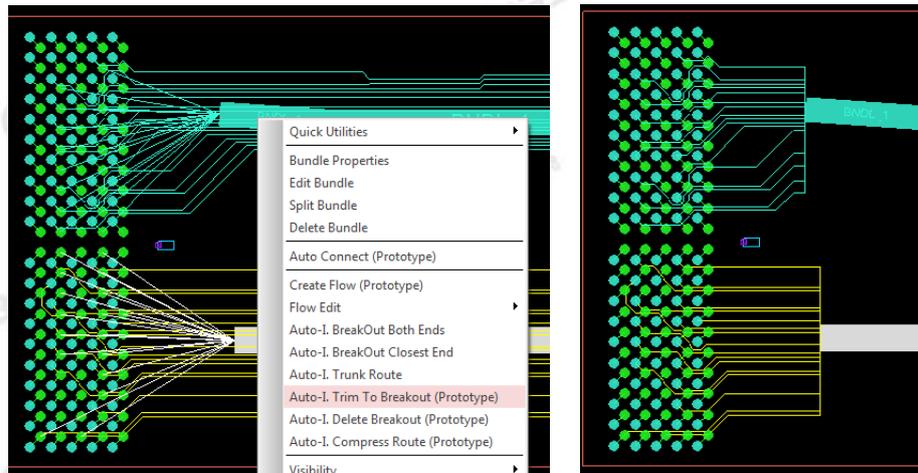
Create Flow 是一個新的輔助功能，可讓使用者快速規畫走線趨勢，並且能夠搭配 AiBT 或者 Auto Connect 指令來做更進一步的自動處理。(AiBT 及 Auto Connect 需搭配 Design Planning Option)



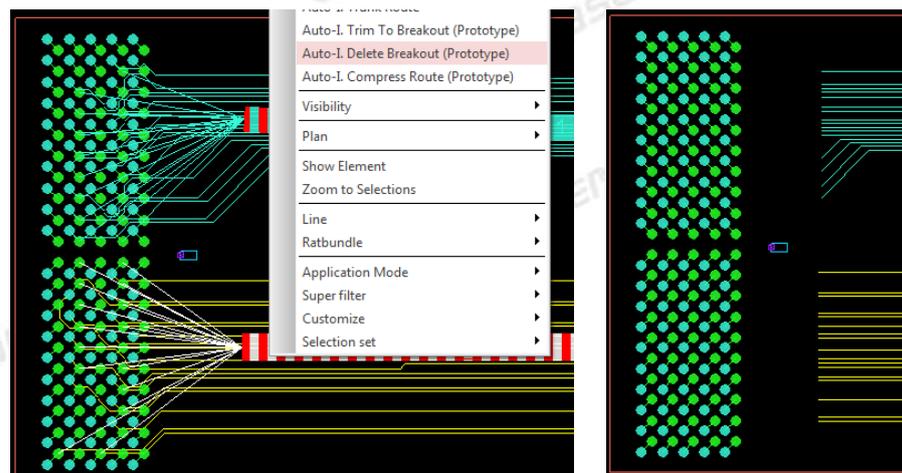
- **Trim to Breakout, Delete Breakout, and Compress Route (Design Planning Option - Unsupported Prototype)**

新的 Breakout 修剪、刪除及緊密走線功能，在多階段佈線工作時，提供更方便的輔助效果。對於處理 Bus 走線、Breakout 的調整及重新走線皆只需經由 Bus Trunk 來下相關指令動作即可。相關功能介紹如下：

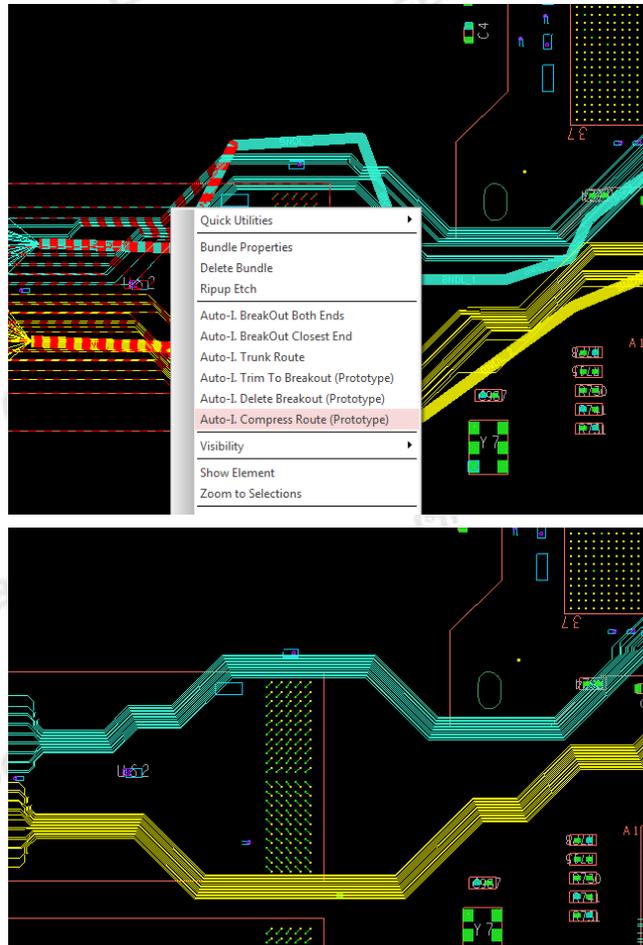
Trim to Breakout – 對於 Trunk routing 過的 Bus 主幹走線進行修剪，保留 Breakout 的結果以利於零件的搬移。



Delete Breakout – 針對已做 Breakout 的 Bus 部分，藉由此指令將相關的一端 Breakout 走線快速刪除。

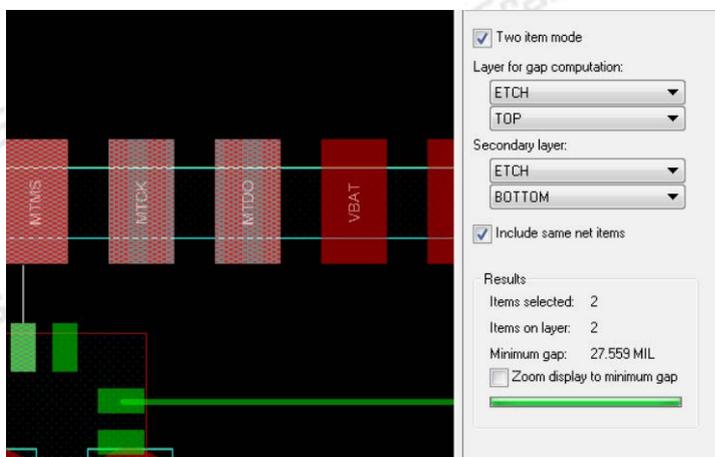


Compress Route – 對於 Trunk routing 時的佈線結果，選擇緊密走線的方式，則走線將會採取最小的 DRC 間距。



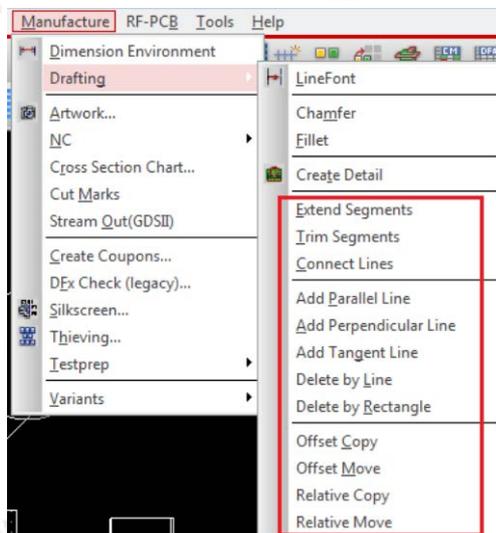
- **Min AirGap (Unsupported Prototype, except for OrCAD PCB)**

SiP 既有的功能現已下放到 PCB Level，Min AirGap 可以檢查所選物件的最小間距。



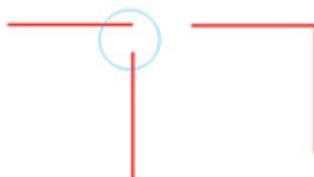
• New Drafting Commands

Manufacture 選單中新增了對於建立或修改工程圖的輔助功能。

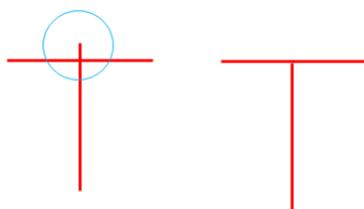


相關的功能簡介如下：

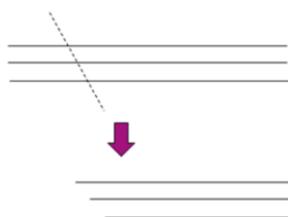
Extend Segments – 此功能可以快速地延伸兩條線，至兩者相交的狀態。



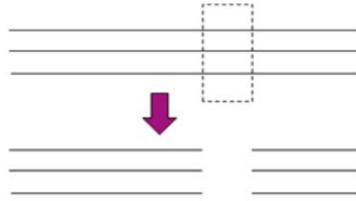
Trim Segments – 此功能可以修剪兩線段相交之多餘的線段。



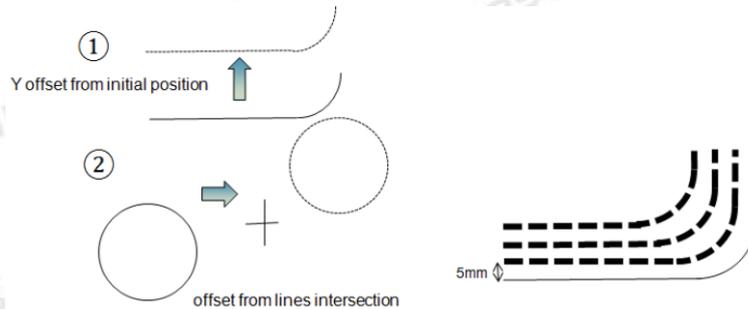
Delete by Line – 透過 Line 將線段資料切割成兩端，並且會將所選擇的一端線段移除。



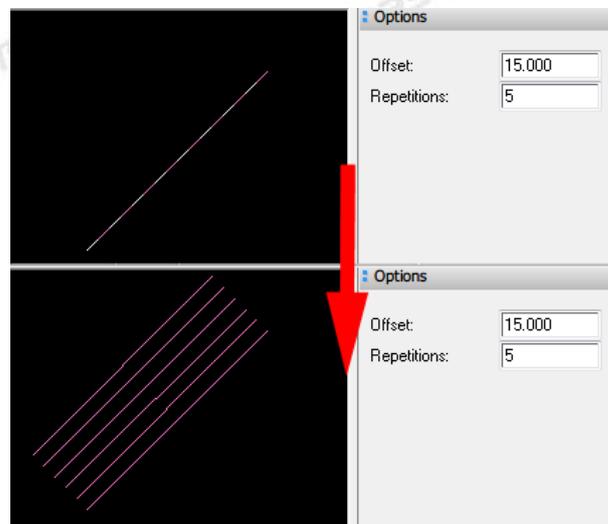
Delete by Rectangle – 透過 Rectangle 將所框選的線段資料移除。



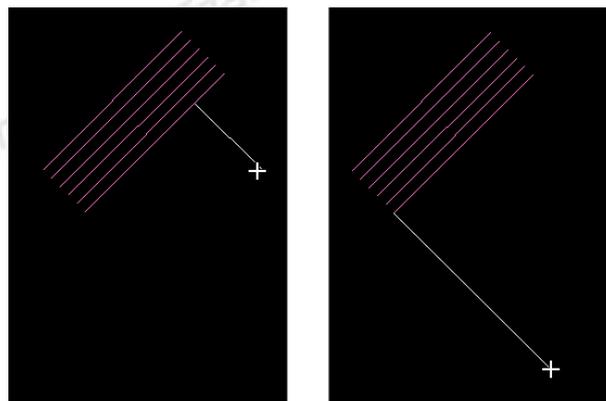
Offset Copy / Offset Move – 能對所選的物件做多重的偏移複製、移動。

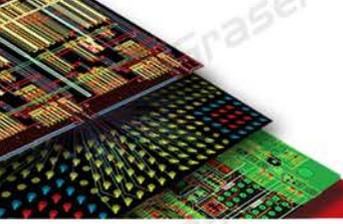


Add Parallel Line – 能批次增加多重的水平線

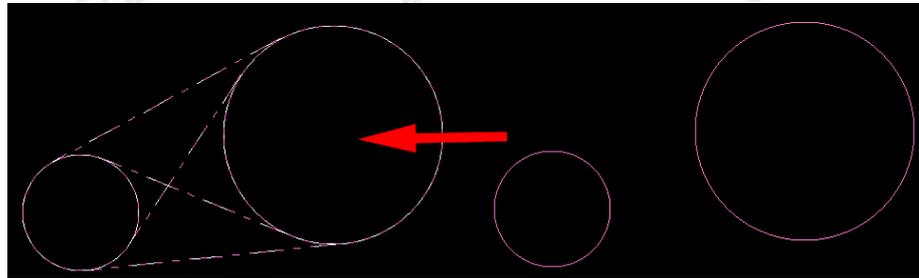


Add Perpendicular Line – 能在所選的線段擺上與之垂直的線段

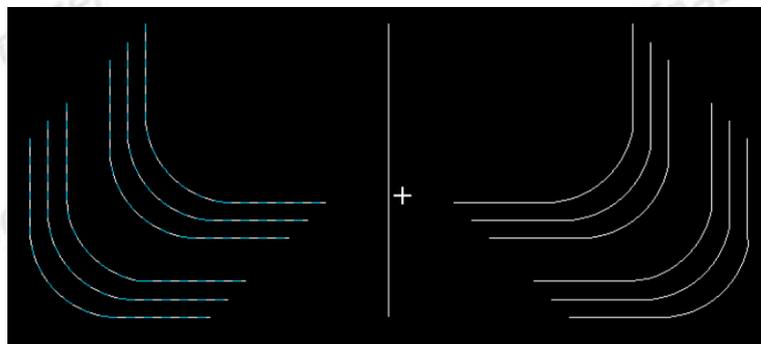




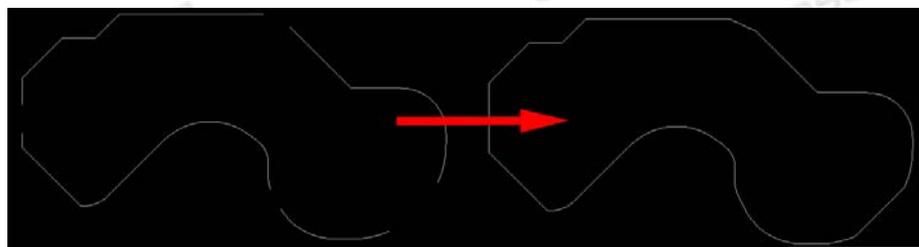
Add Tangent Line – 對兩個所選的線段產生出相關的切線



Relative Copy and Move – 能以鏡射方式對所選的物件進行複製及移動



Connect Line – 能將兩條所選的線段做互相連接



• **Add Arc (Unsupported Prototype)**

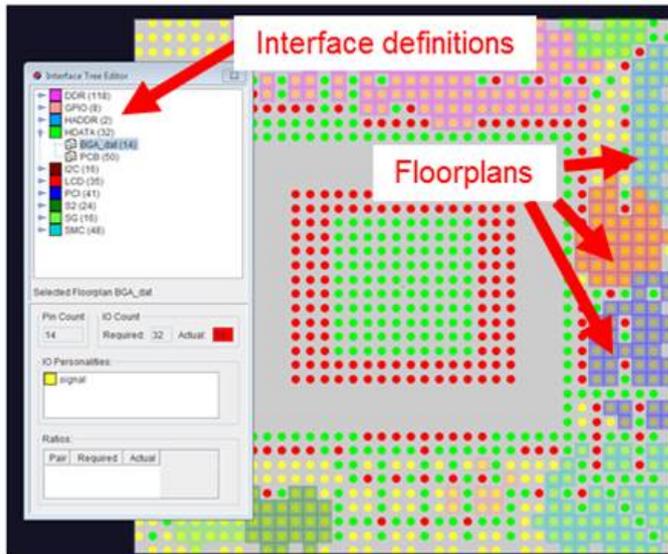
現在提供了多種產生 Arc 線段資料的繪製方法，方便依需求來產生圖型。

- | Arc Creation | |
|----------------------------------|-----------------------|
| <input checked="" type="radio"/> | Start, Center, End |
| <input type="radio"/> | Start, Center, Angle |
| <input type="radio"/> | Start, Center, Length |
| <input type="radio"/> | Start, End, Angle |
| <input type="radio"/> | Start, End, Direction |
| <input type="radio"/> | Start, End, Radius |
| <input type="radio"/> | Center, Start, End |
| <input type="radio"/> | Center, Start, Angle |
| <input type="radio"/> | Center, Start, Length |

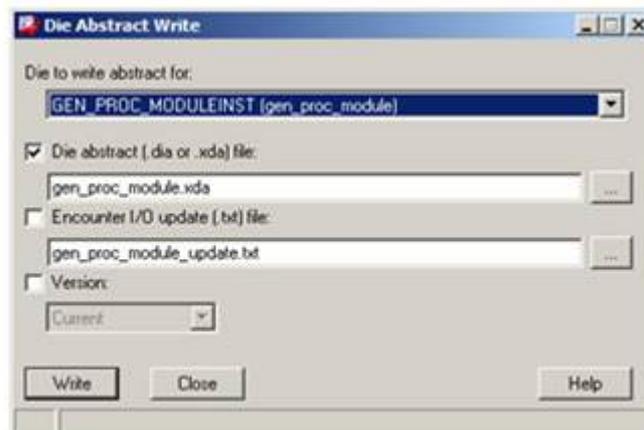
IC Packaging 和 Co-Design

- OrbitIO / Co-Design

新的邏輯上的 **Interface** 和實體上的 **Floorplan** 定義 – 以做更方便的訊號群組和規劃定義

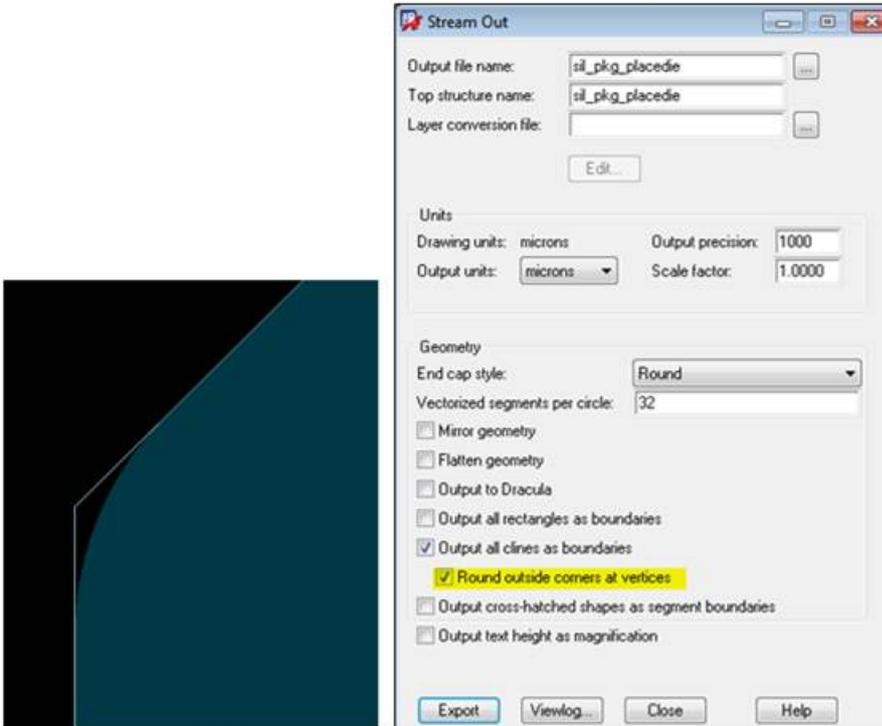


更佳的 **Die Abstract** 整合 – 提供對 OrbitIO、SIP Layout-XL、Encounter 和 Virtuoso 對 V4.0 (。xda) 格式支援。

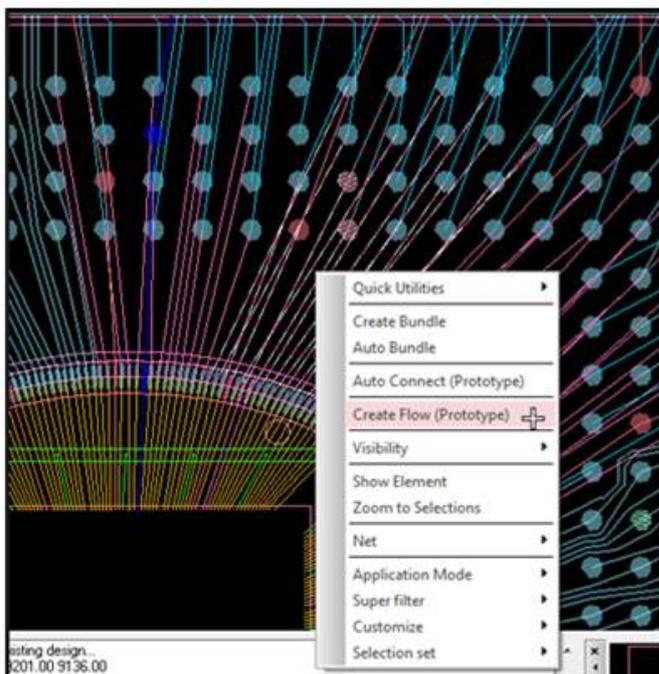


• APD-L and SIP Layout-XL

更佳的 GDSII Stream 輸出 – 可選擇 GDSII 輸出時線轉角的外圓角效果以避免 DRC 錯誤。

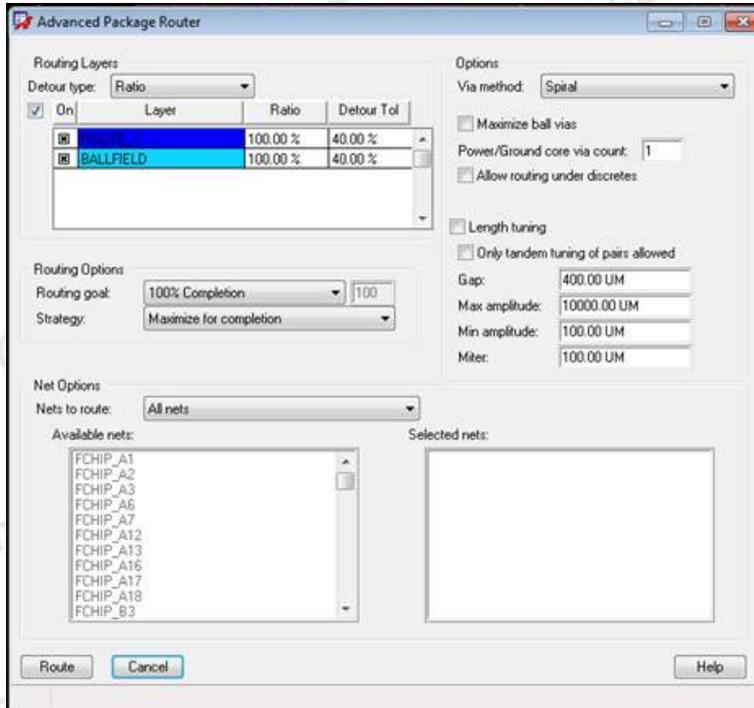


更方便的半自動式的 AIXX 佈線功能 – 支援佈線功能如 Auto Connect/Dynamic Flow Creation/Compress Route/Trim to Break。相關說明請參閱 PCB 段。

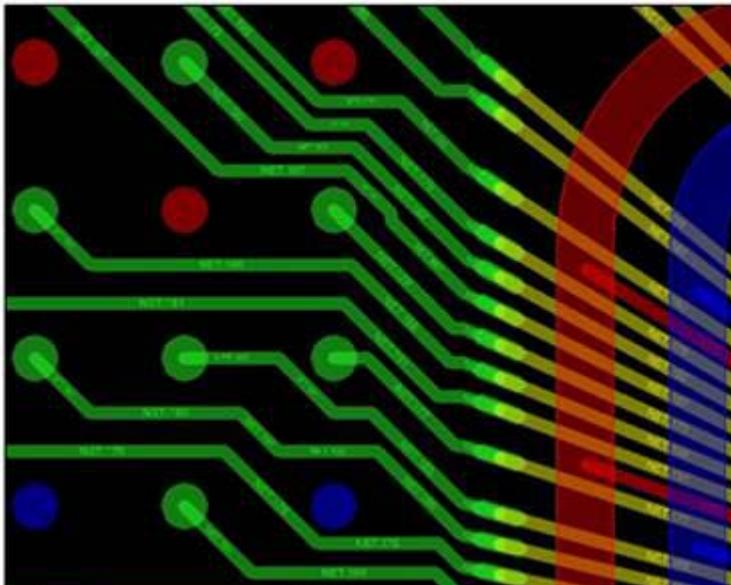


- **Advanced Package Router (APR)**

New APR tutorial – 以更方便的步驟說明，來提升更好的繞線品質和完成率。



最佳的繞線品質 – 支援 Wirebond 設計及對差動訊號的接入點和 Bundle 的佈線控制。



Sigrity

- **DML Recovery in Allegro SI 5700**

Allegro Sigrity SI Base 在 IBIS driven methodology (AMM)工具中並沒有提供 DML models。雖然 DML 是舊有的技術，但是提供、保留 DML models 的存取，方便使用者由 PCB SI 轉移到新的 SI Base。讓使用者在 SI Base 工具裡面仍可以使用先前的 DML model。

- **解決方法**

Constraint 主導的流程下若 DML model 已經被 assign 到 schematic 裡面，則原有的設計流程皆可使用，而且可以在不同 project 間重複使用。

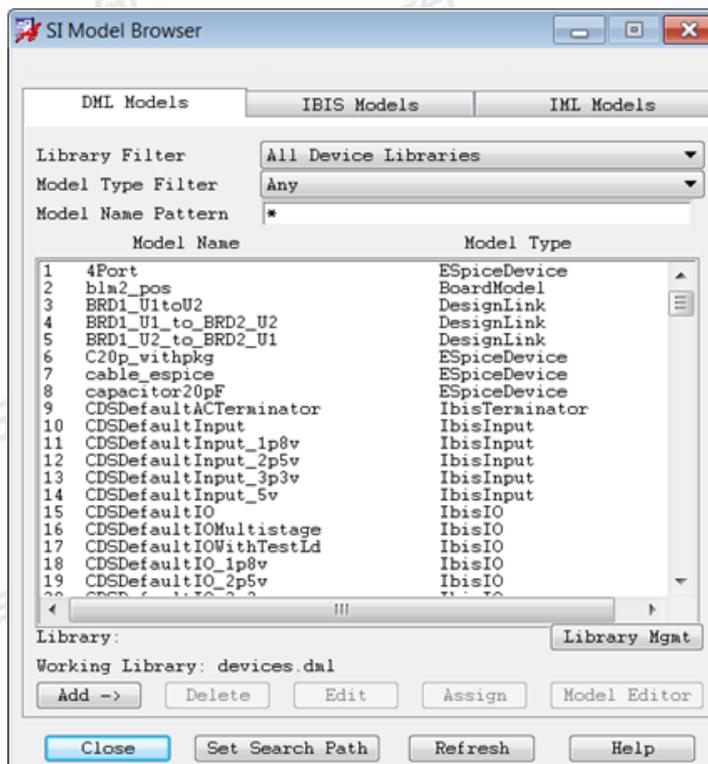
- **Roadmap**

持續將 Analysis Model Management (AMM)開發完成，並協助使用者轉移到 IBIS base 的流程。

- **PA5700 Model 管理**

目前已含完整的 DML 編輯功能，不會影響現在的操作。

此為過渡期的解決方案，最終仍會以完成的 AMM 做 Model 的管理。



- **Allegro SI 5700 Reporting for Duty**

- 反射的模擬結果在 PCB SI 的 Constraint manager 會被 report 出來，一些使用者為了出報告會將之輸出到 excel 而且貼上相關的 waveform。這類的 report 雖已不在 CM 中，但有新的 HTML 報告可讓使用者 export 到 excel 檔。
- 許多使用者反應此功能可以比預期的好，在 QiR8 中已被更新使其更有效率。
- PCB SI 使用了 text output file format，而現在 scripts 也可以使用同樣的 output format。

- **PA5700 – Post Layout SI Simulation**

Xtalk simulation 結果可由 Probe 對話框或是 Constraint Manager 來管理。而 Reflection simulation 結果可由新的 report 介面管理。

- 輸出到 excel
- 輸出到硬碟（直接有連結到 waveform）。這個 html report 可經由超連結來觀察模擬的波形。

