

## ◆ ADIVA V8.1 What's New

**ADIVA V8.1** 簡化了麻煩的安裝過程，並加強許多軟體功能，讓您檢查機制上更便捷。將針對以下幾點為您做更完整的介紹。

- Netlist Compare
- DRC 檢查功能
- Padstack 檢查
- Circuit 檢查
- Design Integrity 檢查
- 非電氣特性資料的檢查
- HTML 網頁資料格式的報告

• **Date :** 2009 / 03 / 05

• **Author :** Mark

• **Revision :**

• **Version :**

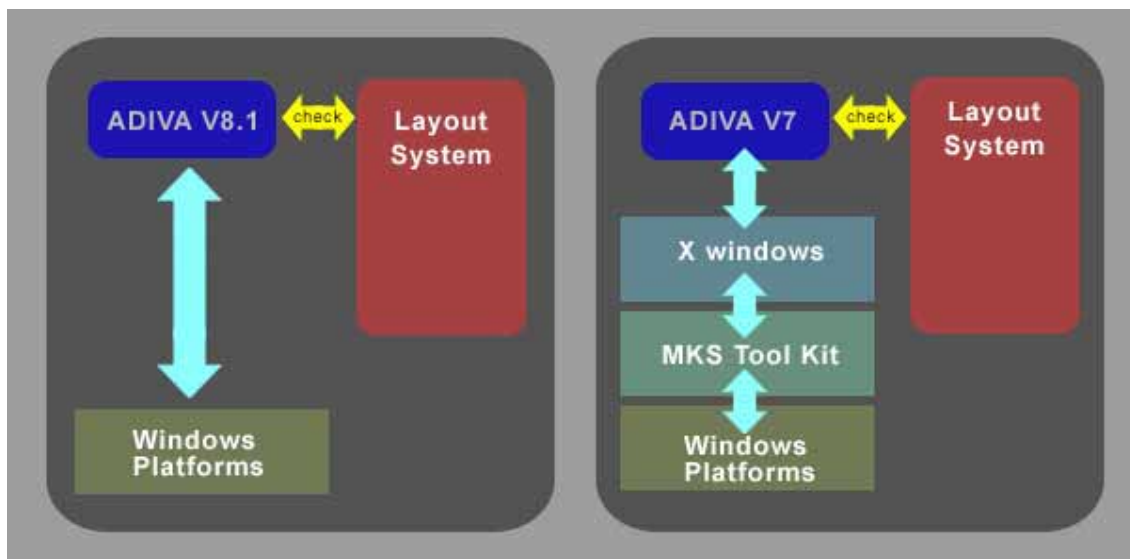
• **備註:**

**Graser**<sup>®</sup> <http://www.graser.com.tw>

## ◆ ADIVA V8.1 What's New

全新軟體架構、全新安裝，讓您操作更佳輕巧方便有效率

ADIVA V8.1 採用全新的架構，可完全支援 Windows 平台的操作，不再需要 X-Windows 的環境支援，使得系統支援的利用可以更有效率，而且安裝過程更加簡單，一個安裝程式即可完成，大大節省您的時間。

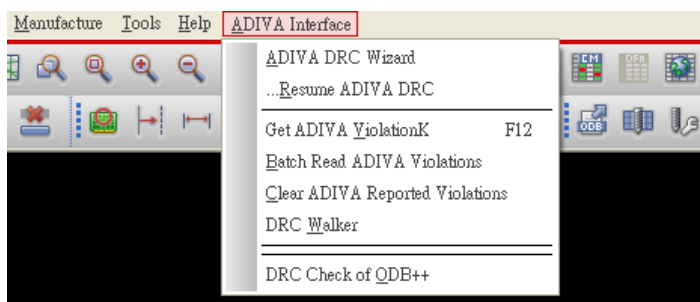


### ADIVA 8.1 的新型檢查作業模式

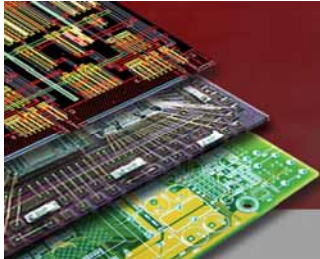
採取分散處理集中管理的設計，允許使用者將檢查作業置於 Server 上執行，再到 Client 端來檢視問題點，不需把檢查作業和 Layout 作業都放在同一台 PC 上執行，而傳統集中式的處理模式仍然保留著。

### 為何要採用 ADIVA 來對 PCB design 進行 Gerber 輸出後的檢查?

ADIVA 的操作介面嵌於 Allegro 的下拉式功能表中，Layout 人員無須開啓其他軟體就可在原本熟悉的環境下操作，ADIVA V8.1 並可對應 Cadence SPB 系列各版本，包含最新的 V16.2。



ADIVA 採取幾乎全自動化的資料處理流程設計，除了設定所要的資料格式外，由 Allegro 產出 Gerber 再到 ADIVA 中完成 Netlist Comapre 檢查並產出結果，皆不需人工介入，並且也能夠透過巨集指令來對 DRC 檢查進行全自動化執行。



**Graser**<sup>®</sup>

Your EDA Partner

全新的 Windows UI 介面

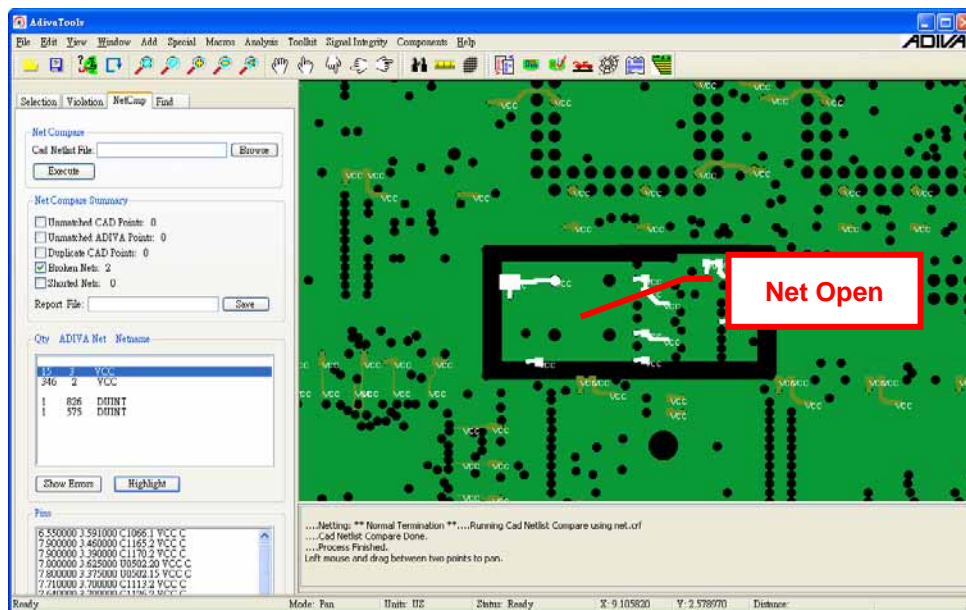
下拉式功能選單      工具列      層面控制

Function Tabs      訊息顯示區      General Info

## 功能簡介

### • Netlist Compare

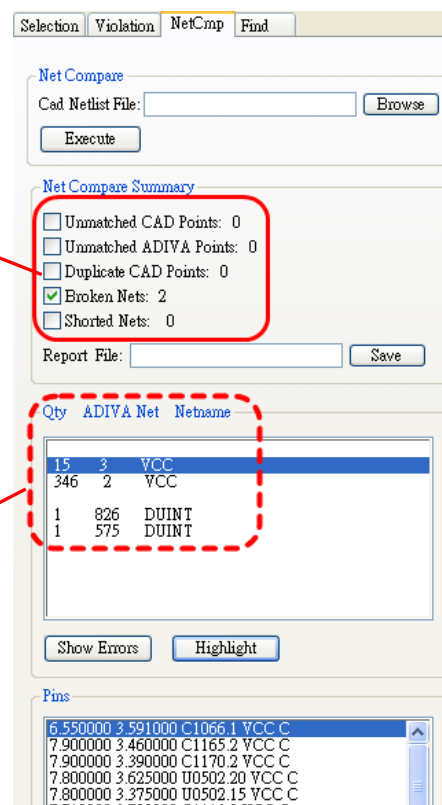
確認 Gerber 的電氣邏輯和 PCB Design 一致是檢查中最重要的第一關，ADIVA 能完整將物件屬性帶入環境中並完成檢查，除了 Net Open、Short 的問題外，並可查核多餘沒有對應到 CAD 或是 Gerber 的資料，甚或是重疊的資料，對於資料的正確與純淨度相當有幫助。

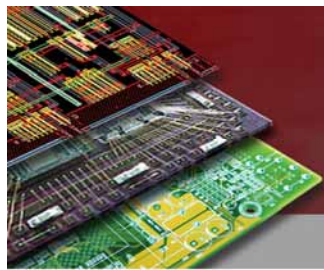


畫面左側的功能頁可讓我們對檢驗結果進行檢視，並可對這些物件進行 Highlight、查詢甚至是搜尋物件的操作。

1. 問題檢出分類
2. 數量統計

出現問題的 Net 及 Pin 數統計





## • DRC 檢查功能

Netlist Compare 僅能檢查出真正的短斷路問題，對於可能發生短路或斷路之類的系統可靠度檢查問題就要交給 DRC 功能來檢查。

ADIVA 的 DRC 檢查有以下分類，因為能夠由 Layout 環境中將物件屬性帶出來，因此可進行非常詳盡的 DRC 檢查。

Pad Stack

Circuit

Board Edge

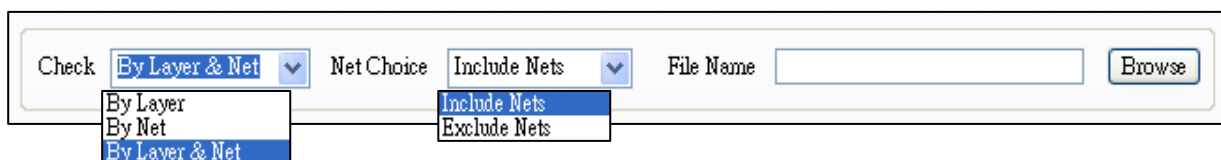
Solder Mask

Silkscreen

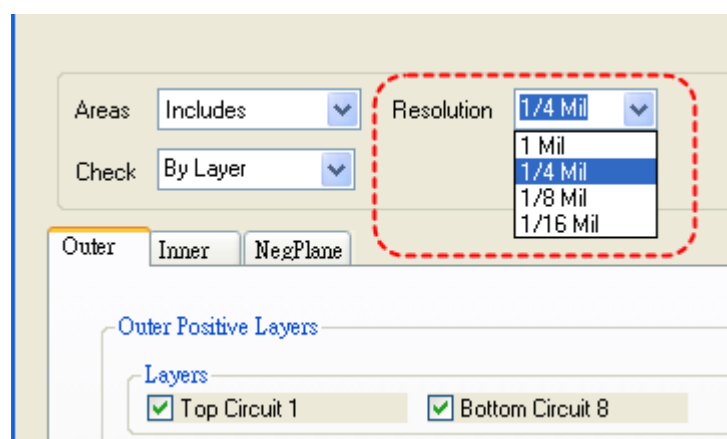
Test Assembly

Design Integrity

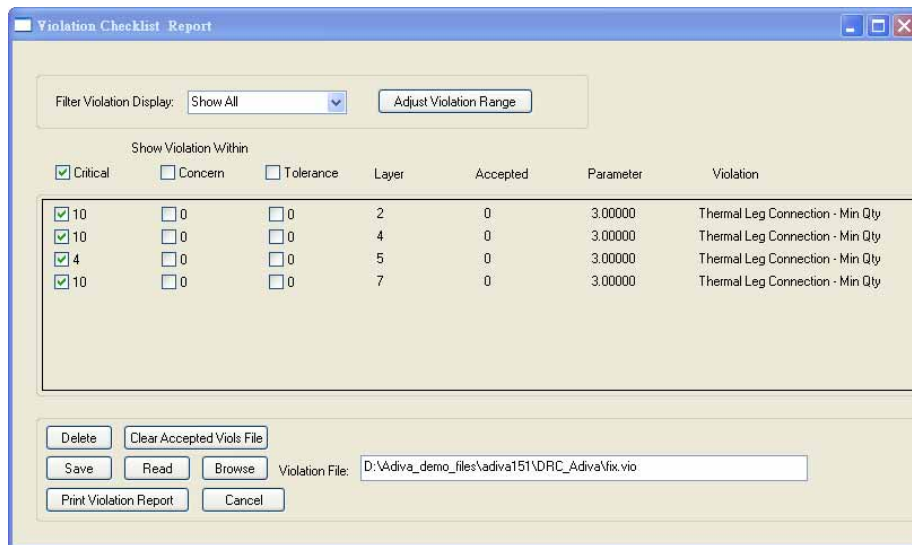
除了一般的檢查模式外，我們還可指定資料層面、CAD Net Name 及混和模式來對 Gerber 資料做檢查，並可自訂 Include/Exclude 區域來做更進一步的進階檢查作業。



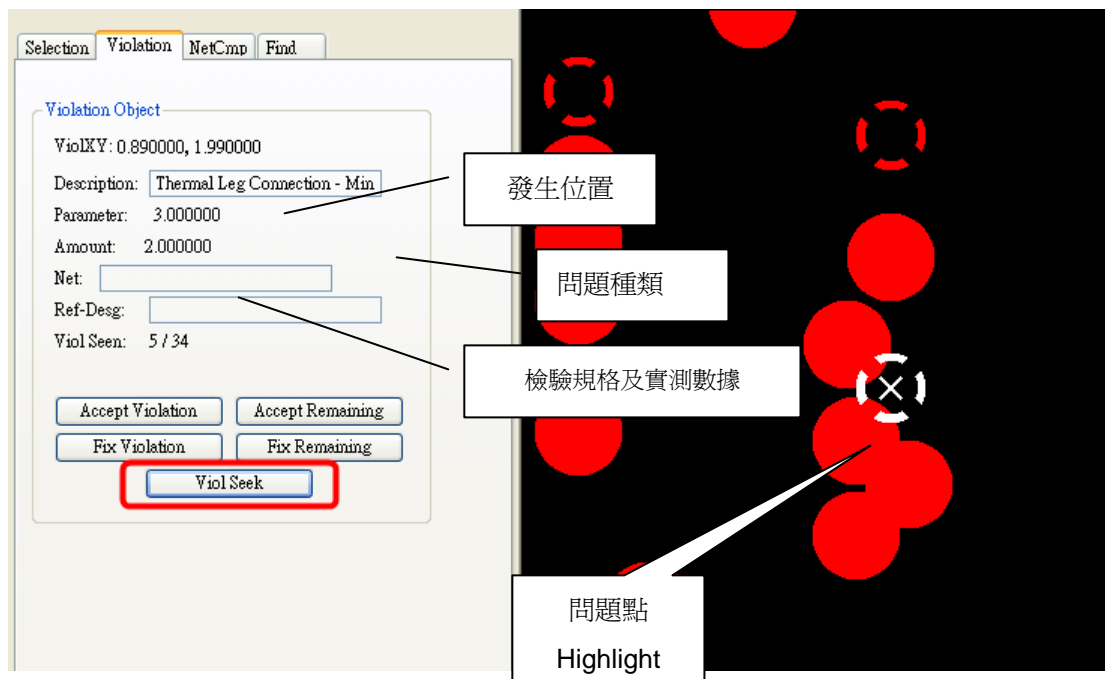
ADIVA 可自訂檢查式的資料解析度 – 1mil、1/4mil (預設值)、1/8mil、1/16mil，讓使用者可以自訂對 PCB Design 檢查的嚴謹度。

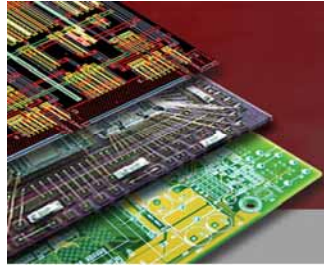


DRC 檢查完後，就會自動記錄到違規報告清單，可透過這個清單來檢視問題點。

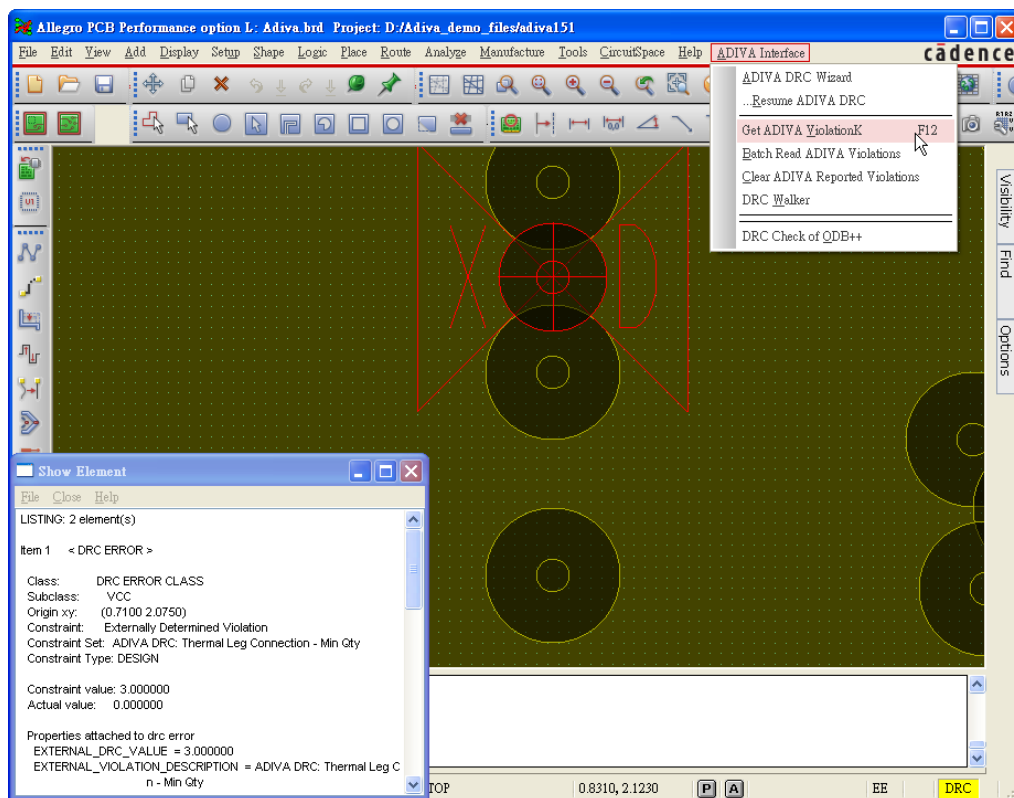


動態檢驗報告清單可在進行其他檢查同時檢視已發現的問題點，不需中斷檢查作業，省時有效率。



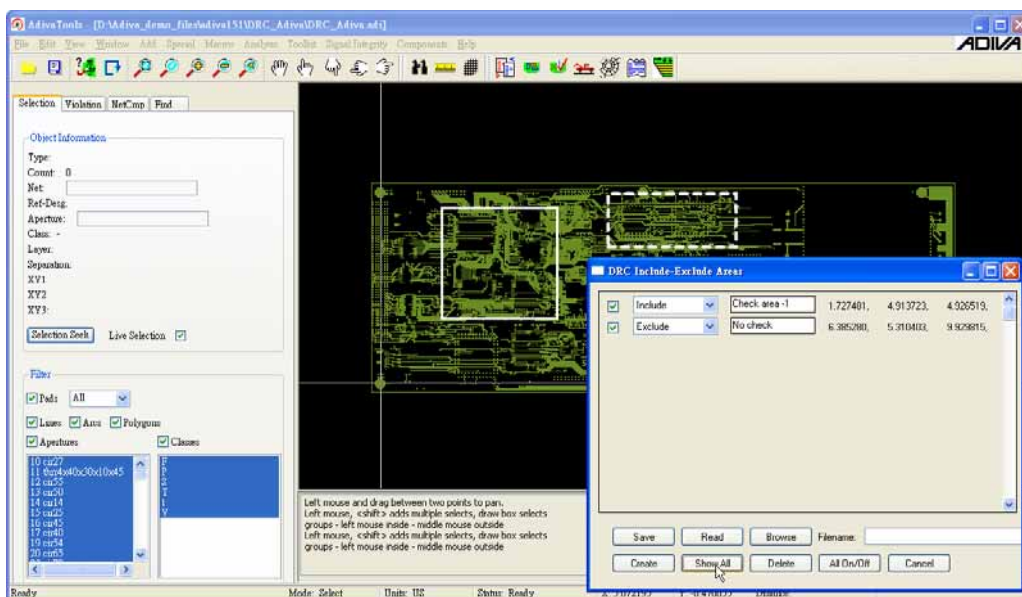


在 Allegro 作業畫面中可透過 Get ADIVA ViolationK 來將 DRC 問題點由 Adiva 傳回 Allegro，將其所在層面予以放大置中顯示出來，工程師便可確認問題點，不需再到處找座標。



新增 DRC 作業的預先規劃包含和排外區域的設計，可更精確的檢查某些特定區域。

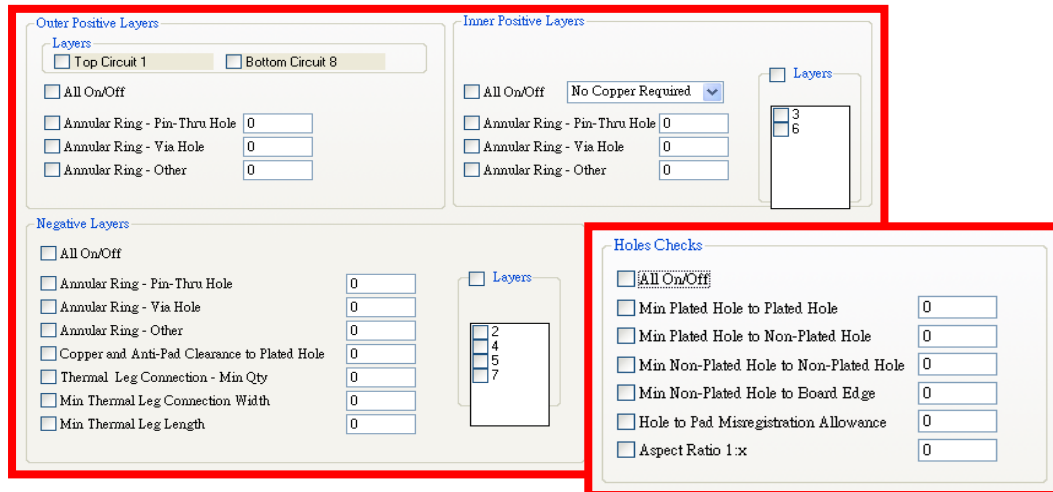
User define Include / Exclude Area 的 DRC 檢查，不但可以在介面上直接設定與操作，同時也可以透過巨集指令來執行。



• Padstack 檢查

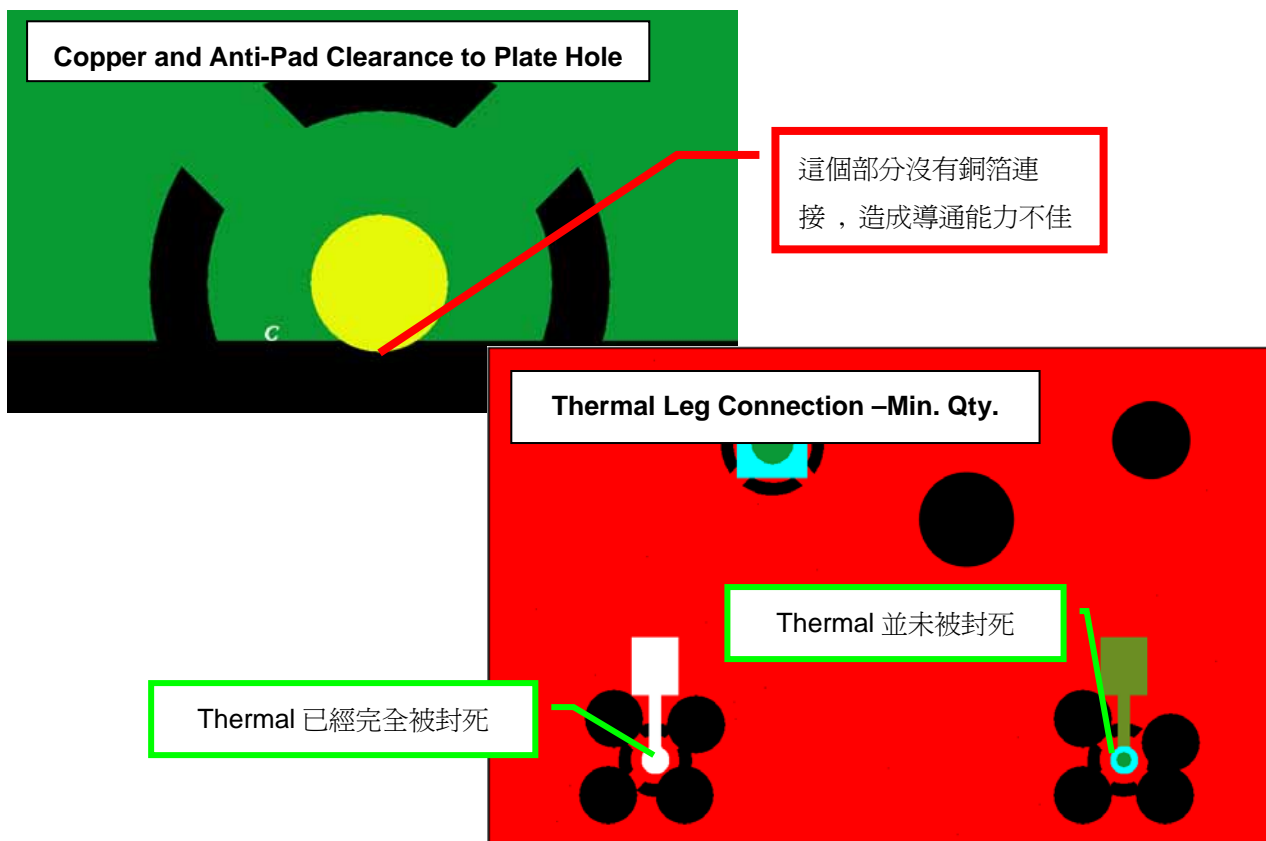
(1) 針對各種類行的銲點及鑽孔的屬性進行完整的檢查

除了正片資料外，對 Negative Layer 的檢查尤其注重，而導接用的 Thermal 資料檢查尤其詳盡。



(2) 強悍的負片資料檢查能力

ADIVA 對於負片資料檢查尤其在行，針對負片電源層常遭遇的問題，如 Thermal Tie、是否足夠的寬度、開口數量是否足夠、有沒有被封堵、電源分割的 Moat 線寬度的檢查、PTH / NPTH Clearance 是否足夠? ... 無一遺漏。

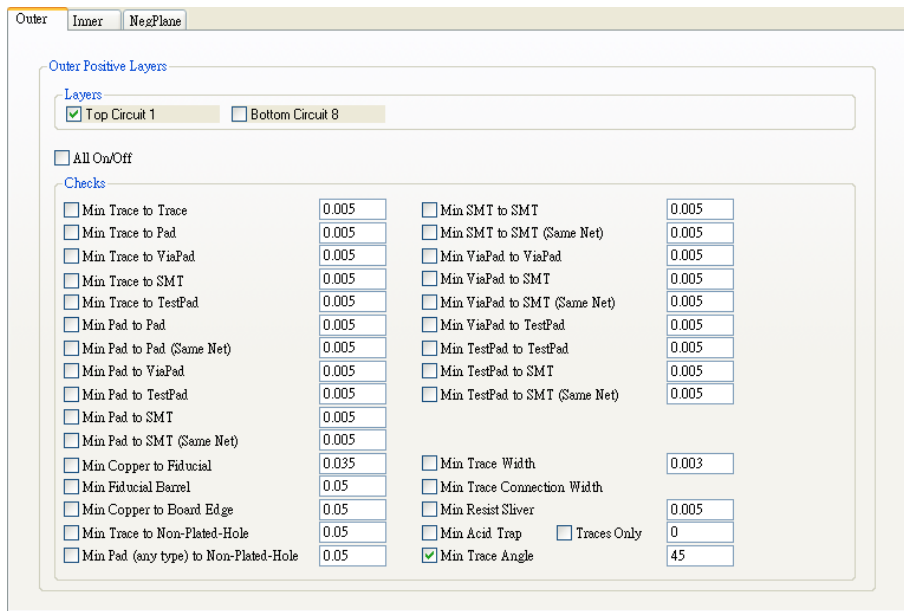


• Circuit 檢查

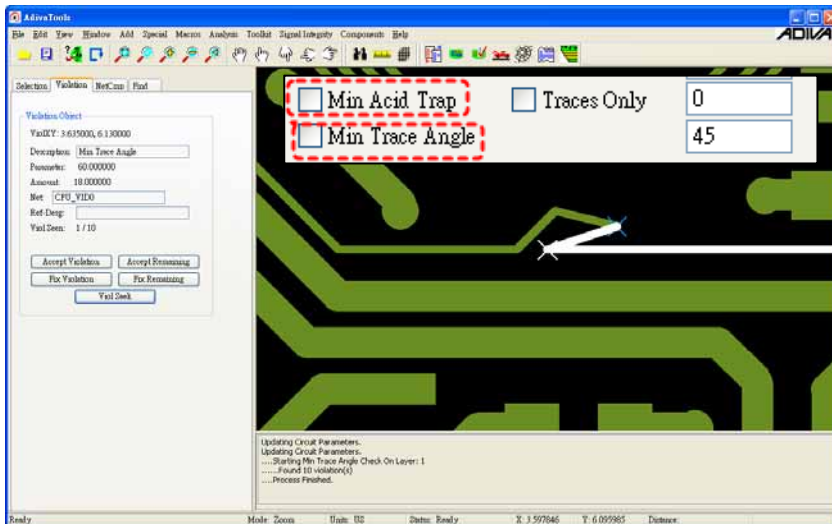
對於銅箔走線上的檢查，ADIVA 可辨識與分析許多種類的銅箔資料。

對於一般不同 Net 之間的 Pad 與 Trace 資料大致可分為如下的 20 種 Spacing 檢查項目。

	Trace	Pad	Via Pad	SMT Pad	Test Pad
Trace	◆				
Pad	◆	◆			
Via Pad	◆	◆	◆		
SMT Pad	◆	◆	◆	◆	
Test Pad	◆	◆	◆	◆	◆
NPTH Hole	◆	◆	◆	◆	◆



除此之外，還可以針對光學辨識點資料進行自動辨識及相關的 Spacing 檢查

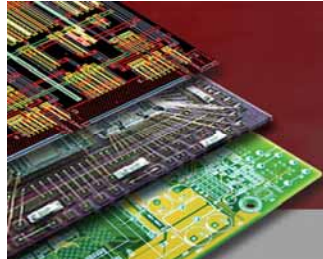


對於銳角走線檢查(Acute Angle check)

現增為兩種檢查模式

**Acid Trap** – 類似 7.3 版本的 Acute Angle 檢查形式

**Acute Angle** – 讓使用者可自訂要檢驗的走線夾角



增加更多“Pad to”的 same net 問題的檢查，現在允許對整塊 PCB design 以 Net 基準的做檢查。

Checks

<input type="checkbox"/> Min Trace to Trace	0.005	<input type="checkbox"/> Min SMT to SMT	0.005
<input type="checkbox"/> Min Trace to Pad	0.005	<input type="checkbox"/> Min SMT to SMT (Same Net)	0.005
<input type="checkbox"/> Min Trace to ViaPad	0.005	<input type="checkbox"/> Min ViaPad to ViaPad	0.005
<input type="checkbox"/> Min Trace to SMT	0.005	<input type="checkbox"/> Min ViaPad to SMT	0.005
<input type="checkbox"/> Min Trace to TestPad	0.005	<input type="checkbox"/> Min ViaPad to SMT (Same Net)	0.005
<input type="checkbox"/> Min Pad to Pad	0.005	<input type="checkbox"/> Min ViaPad to TestPad	0.005
<input type="checkbox"/> Min Pad to Pad (Same Net)	0.005	<input type="checkbox"/> Min TestPad to TestPad	0.005
<input type="checkbox"/> Min Pad to ViaPad	0.005	<input type="checkbox"/> Min TestPad to SMT	0.005
<input type="checkbox"/> Min Pad to TestPad	0.005	<input type="checkbox"/> Min TestPad to SMT (Same Net)	0.005
<input type="checkbox"/> Min Pad to SMT	0.005		
<input type="checkbox"/> Min Pad to SMT (Same Net)	0.005	<input type="checkbox"/> Min Trace Width	0.003
<input checked="" type="checkbox"/> Min Copper to Fiducial	0.05	<input type="checkbox"/> Min Trace Connection Width	
<input type="checkbox"/> Min Fiducial Barrel	0.05	<input type="checkbox"/> Min Resist Sliver	0.005
<input type="checkbox"/> Min Copper to Board Edge	0.05	<input type="checkbox"/> Min Acid Trap <input type="checkbox"/> Traces Only	0
<input type="checkbox"/> Min Trace to Non-Plated-Hole	0.05	<input type="checkbox"/> Min Trace Angle	45
<input type="checkbox"/> Min Pad (any type) to Non-Plated-Hole	0.05		

Negative Plane Layers

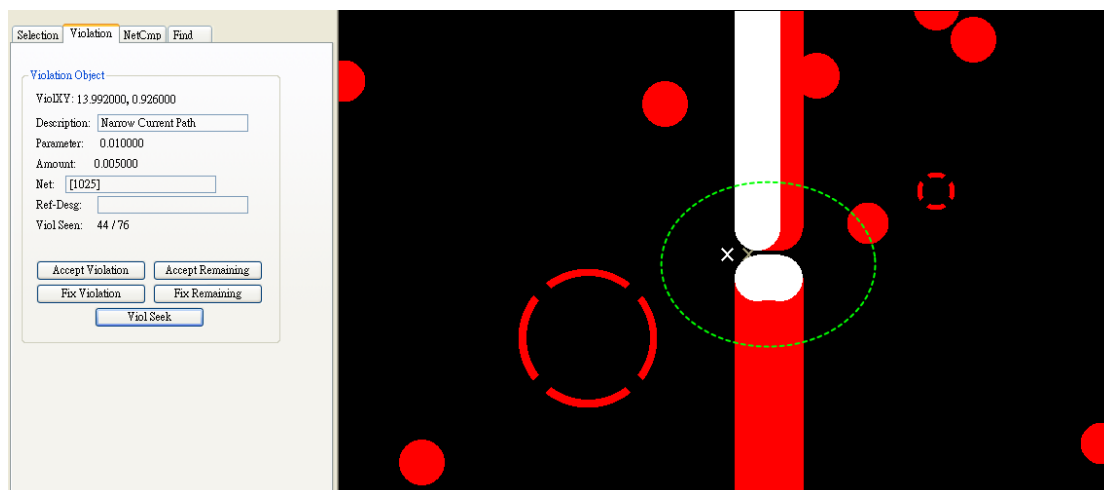
All On/Off

Checks

<input type="checkbox"/> Min Copper Webbing	0
<input type="checkbox"/> Min Copper to Non-Plated-Hole (Clearance)	0
<input type="checkbox"/> Min Copper to Board Edge	0
<input checked="" type="checkbox"/> Min Plane Split Trace Width	20
<input checked="" type="checkbox"/> Min Plane Split Plane Connection Width	
<input checked="" type="checkbox"/> Narrow Current Path	0.01
<input type="checkbox"/> Floating Copper	
<input type="checkbox"/> Missing Thermals	

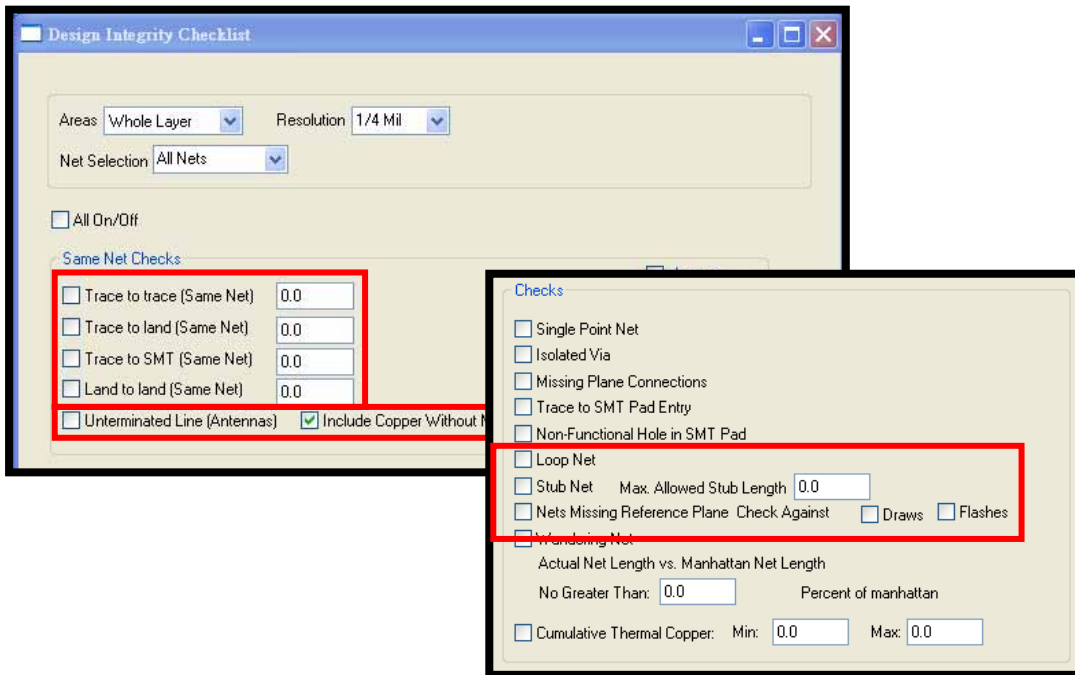
針對負片電源層的隔離線寬度作檢查

如下圖，電源層中導通路徑寬度不足檢出 ( Narrow Current Path )



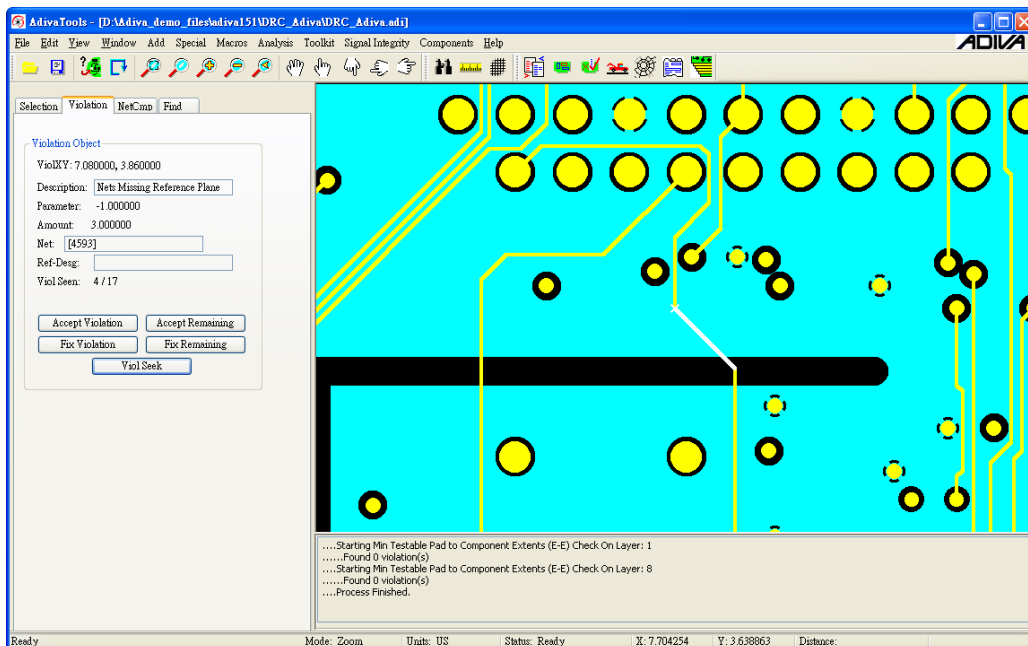
• Design Integrity 檢查

針對走線設計上的訊號品質關係，可透過 Design Integrity 做進一步的檢查



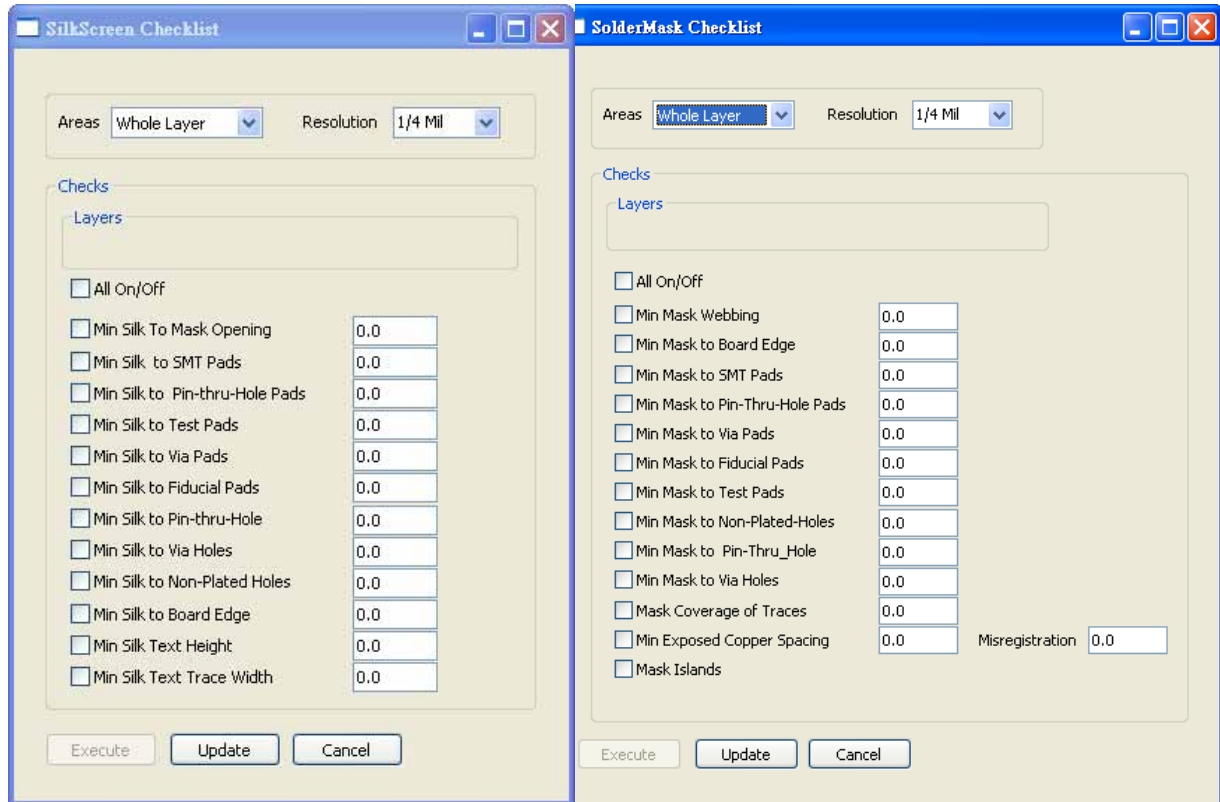
- Unterminated Line 檢查能夠針對各個層面或全板進行檢查。
- Same-Net 的檢查可對各個層面的 Same Net 狀況分析。

如下圖所示，走線跨越不同電源分割面的檢查，以確保同一訊號線可以在同一個且完整的銅箔的屏蔽，減少其他不同電場的干擾，影響訊號品質。



• 非電氣特性資料的檢查

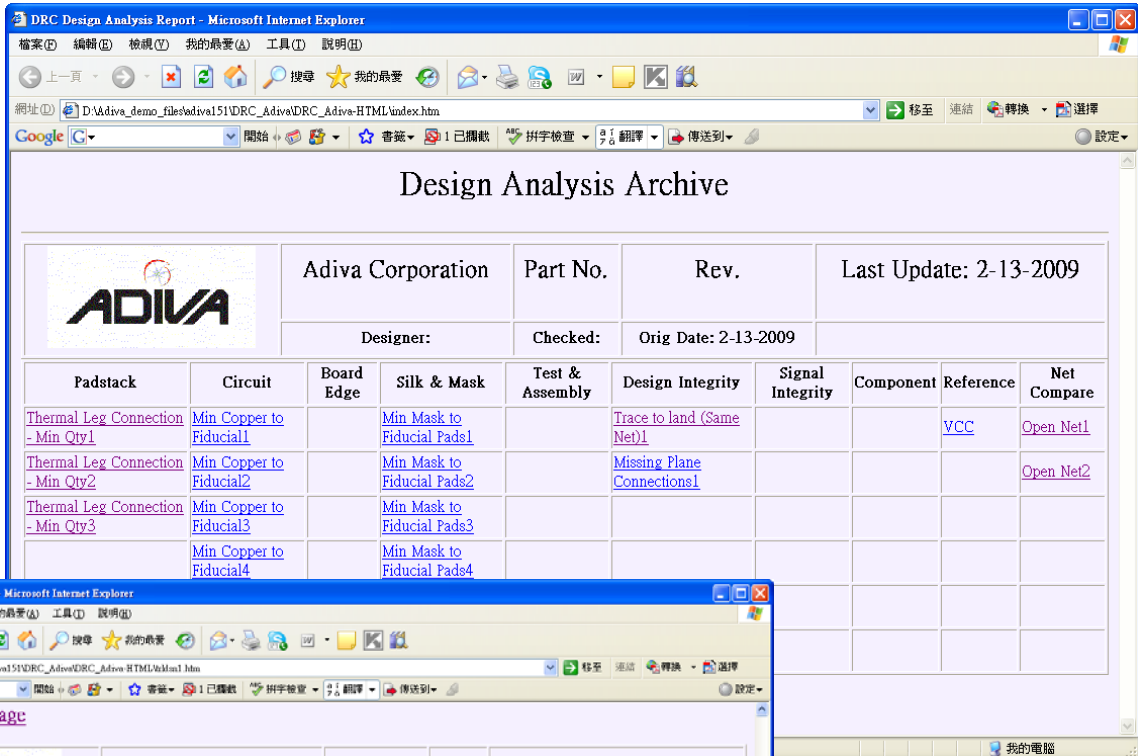
ADIVA 對於 Soldermask 及 Silkscreen 當然也有相當詳盡的檢驗




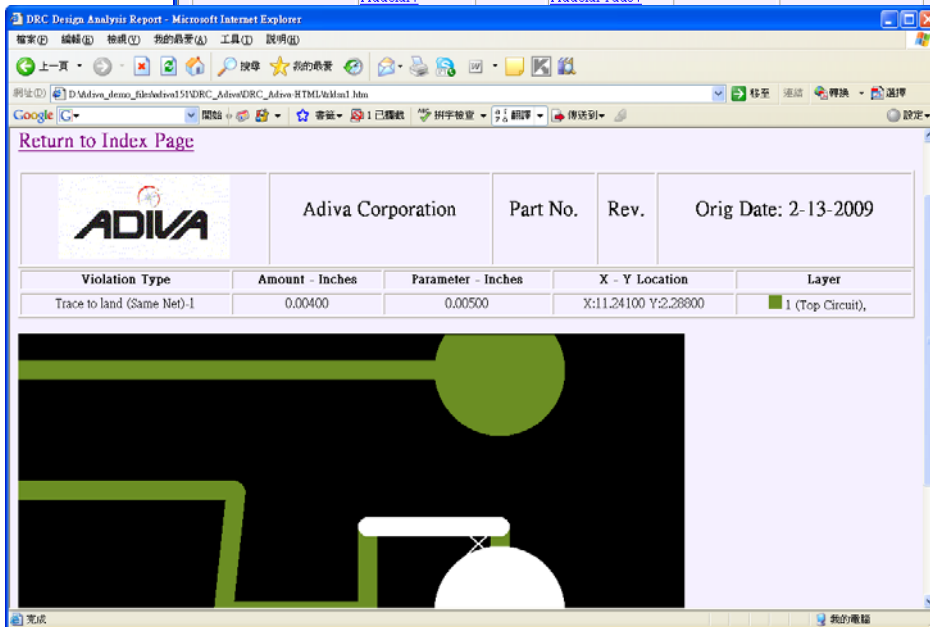
• HTML 網頁資料格式的報告

當我們完成 DRC 檢查後，對這些問題點必須記錄下來列為報告，或是有些疑問需要會同其他的人來協助確認時，我們可以利用內建的拍照功能( Archive DRC )將問題點拍下來。

當 Archive DRC 拍照時，不但會把圖形擷取下來，同時也會把該問題所對應的相關層面、Net、Net Name 及問題種類予以自動記錄並且完成分類處理，然後存成 HTML 格式方便其他人後續的檢視。



Design Analysis Archive									
		Adiva Corporation		Part No.	Rev.	Last Update: 2-13-2009			
Designer:			Checked:	Orig Date: 2-13-2009					
Padstack	Circuit	Board Edge	Silk & Mask	Test & Assembly	Design Integrity	Signal Integrity	Component	Reference	Net Compare
<a href="#">Thermal Leg Connection - Min Qty1</a>	<a href="#">Min Copper to Fiducial1</a>		<a href="#">Min Mask to Fiducial Pads1</a>		<a href="#">Trace to land (Same Net)1</a>			<a href="#">VCC</a>	<a href="#">Open Net1</a>
<a href="#">Thermal Leg Connection - Min Qty2</a>	<a href="#">Min Copper to Fiducial2</a>		<a href="#">Min Mask to Fiducial Pads2</a>		<a href="#">Missing Plane Connections1</a>				<a href="#">Open Net2</a>
<a href="#">Thermal Leg Connection - Min Qty3</a>	<a href="#">Min Copper to Fiducial3</a>		<a href="#">Min Mask to Fiducial Pads3</a>						
	<a href="#">Min Copper to Fiducial4</a>		<a href="#">Min Mask to Fiducial Pads4</a>						



[Return to Index Page](#)

Violation Type	Amount - Inches	Parameter - Inches	X - Y Location	Layer
Trace to land (Same Net)-1	0.00400	0.00500	X:11.24100 Y:2.28800	1 (Top Circuit),