

◆ Cadence Allegro V16.5 What's New

Cadence Allegro V16.5 在新製程技術方面新增加**Embedded component design** 相關功能，同時強化了**HDI**、**High speed**、**DFM**檢查及相關功能，使其得到更完善的支援；另外在 **3D** 顯示模式也有進一步的提升，可更方便的應用在**HDI**及機構的檢視。

• **Date :** 2011 / 06 / 14

• **Author :** Mika

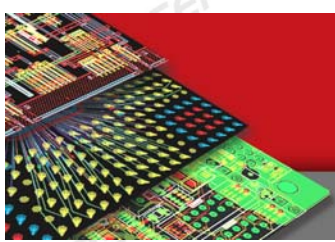
• **Revision :**

• **Version :** V16.5

• **備註:**

Graser®

<http://www.graser.com.tw>



◆ Embedded Component Design (Miniaturization option)

隨著市場的需求，如移動式電子產品，為配合更小更輕薄及完善性能和更高速度的設計特性，將會導入內嵌式被動甚至主動元件在 PCB 基板中。在新版 Allegro V16.5 提供了完整的嵌入式零件參數及檢查，可讓使用者能更方便地完成此類產品的設計。

- **Front to Back Flow Support**

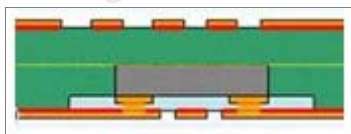
可從 schematic/pcb 加入 EMBEDDED_PLACEMENT 參數,定義 Required 強制指定使用 Embedded 零件,或是定義 Optional 可自行依實際需求使用 Embedded 零件

- **Setup**

可執行 Setup /Embedded Layer Setup,設定 embedded 疊構及設定零件連接及擺放方式為 Body Up/Body Down 或 Direct/Indirect

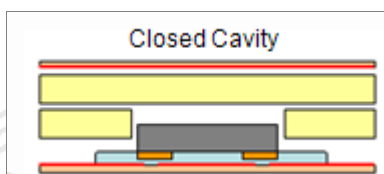
- **Key Terminology**

Direct Attach : 零件與內層線路直接導接

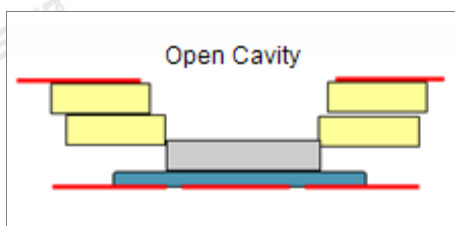


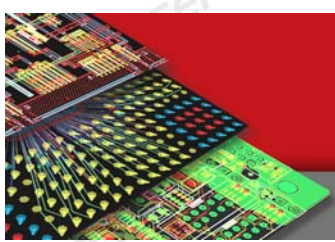
Indirect Attach : 零件透過 via pad 後再與內層線路導接

Closed Cavity : 零件被介質蓋住的封閉形式



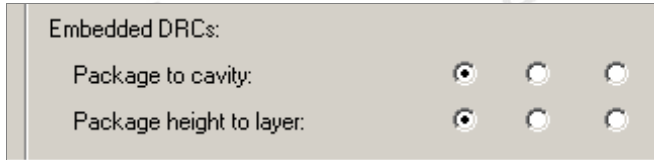
Open Cavity : 介質並未蓋住零件的開放形式



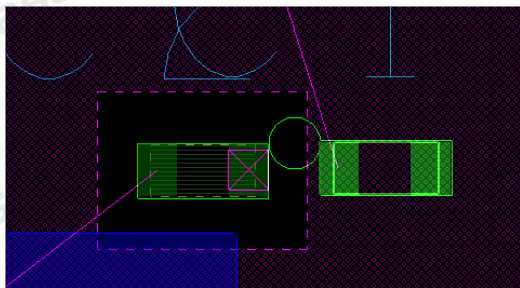


- **Design Rule Checks**

在 package 新增二項有關 embedded 零件的檢查，執行 Setup/Constraints/Modes/Design Modes(Package)，即可檢查 cavity 和零件的間距及零件高度的限制。

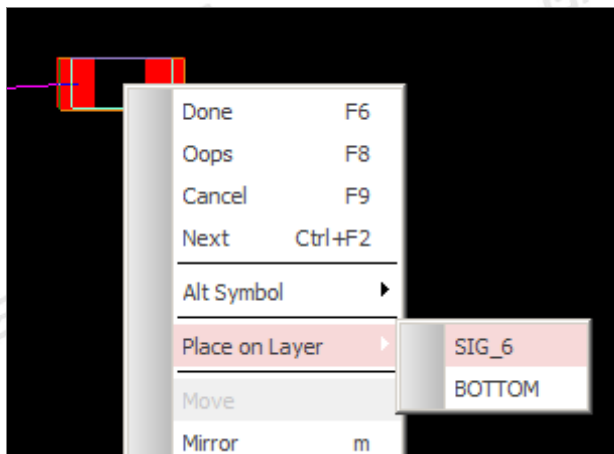


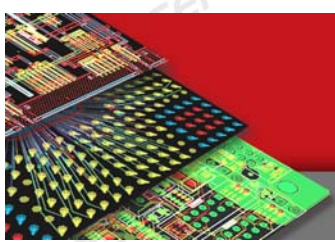
若使用 DFA 功能,則會參考 top 層參數設定。



- **Component Placement**

在 Move/Place Manual/Quickplace 會依設定之層面擺放零件，如下圖。





◆ Graphics

● Highlight with Stipple patterns

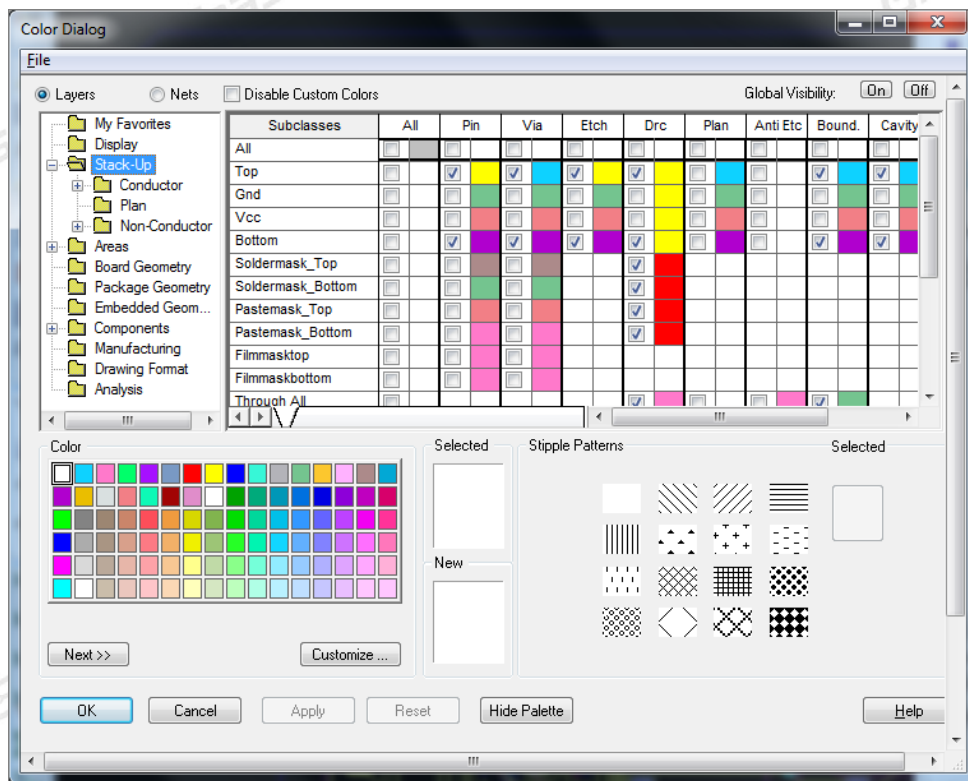
Allegro16.5 新增 Stipple patterns 圖樣模式，可與顏色搭配用來使用。

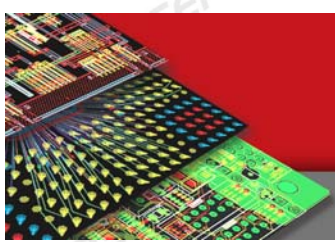
支援在使用 Assign color 和 Highlight 指令，以及 Color 對話方塊時設定 Stipple patterns 顯示模式。

使用 Assign color 指令時，除了可以設定顏色和預設支援的 Highlight 模式外，還能夠定義個人化的 Stipple patterns。

Assign color 指令允許為顏色庫中的某個基本元件設定顏色資訊，同時也能搭配 Stipple pattern 提供更多元的顯示。

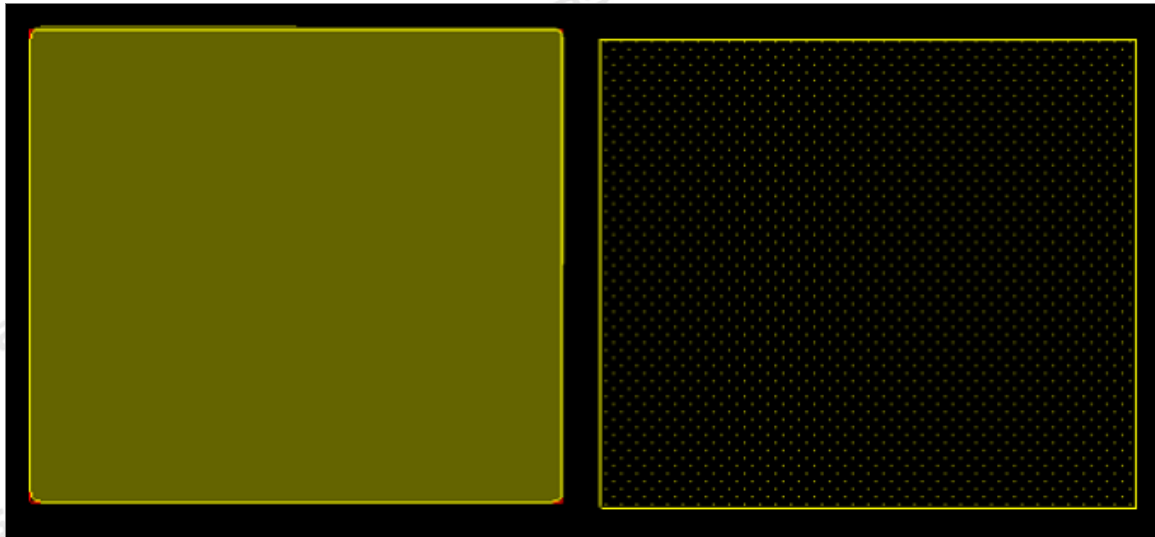
Highlight 指令允許為如 net 之類的物件增 Stipple pattern 資訊。





- **動態與靜態 shape 顯示**

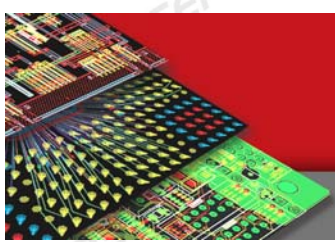
Allegro 16.5 在動態銅與靜態銅的顯示上，提供了不同的顯示效果，可方便我們透過目視分辨。



- **Highlight Fixed 物件**

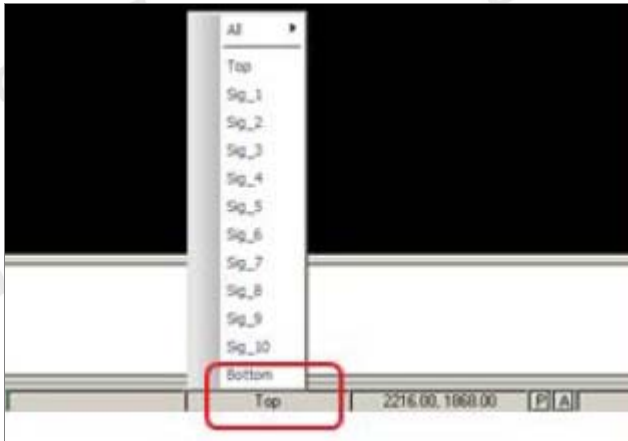
現在可以透過使用 Stipple pattern 對 fixed 的物件 Highlight，當設計中有 Fixed 屬性的物件時，可以在 Color Dialog/Display 中，以選擇 Stipple patterns 來顯示。





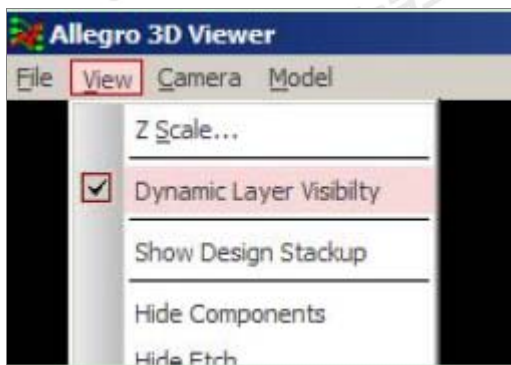
- **Status Bar updates**

可以透過滑鼠點選狀態欄中各個區域來獲得各種對應的功能。例如，顯示當前的層面資料時，還可以選擇切換成其他的主要層面/次要層面。



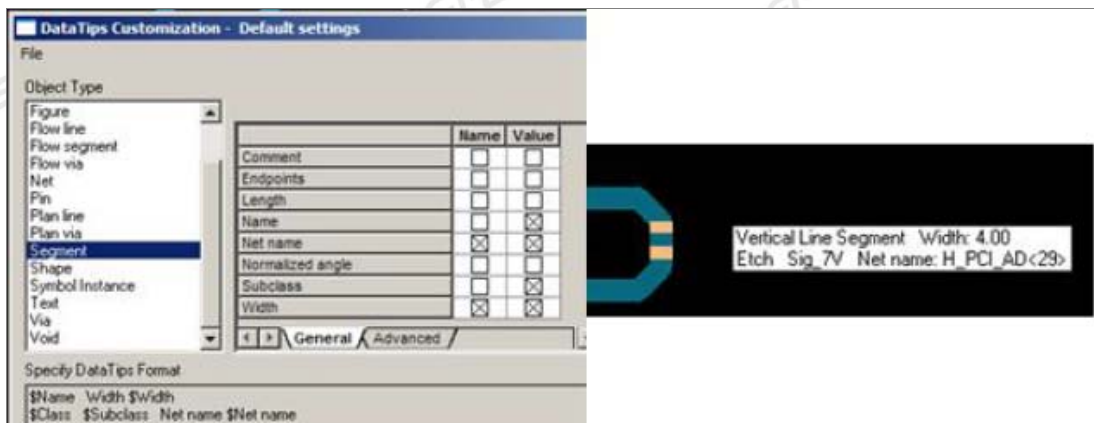
- **3D view updates**

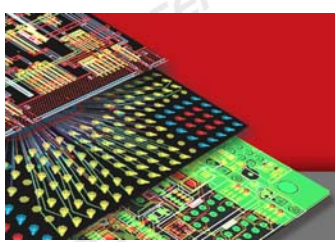
新的 3D view 支援動態層面的顯示，即透過切換層面顯示的同時，3D view 也會即時切換顯示。



- **Data Tip 設定**

Object Type 從原來的 6 種資訊擴展成 17 種，如此能夠自行定義更多的顯示資訊。





◆ Etch Edit

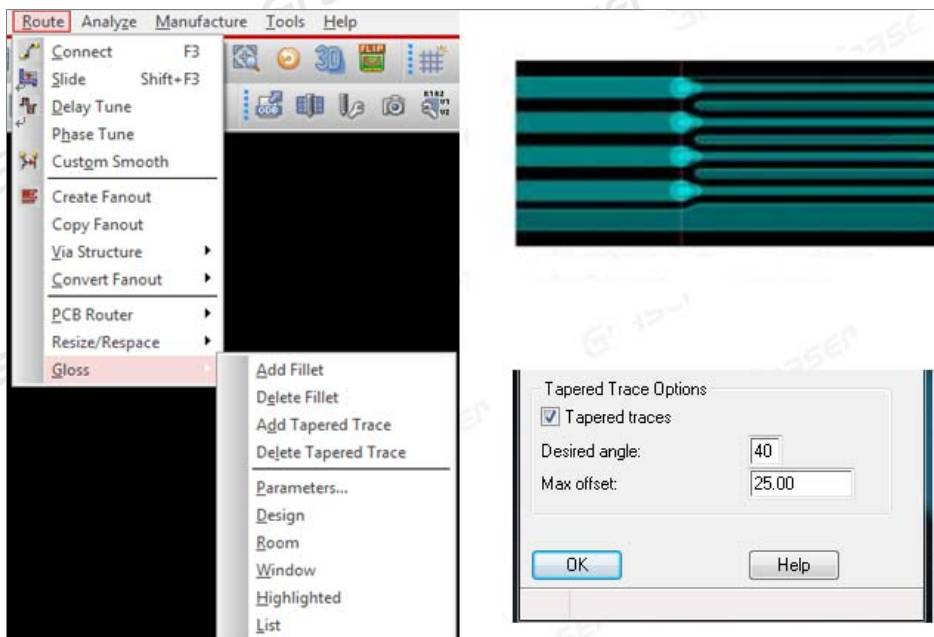
● 差動訊號相位調整 Differential Phase Tuning

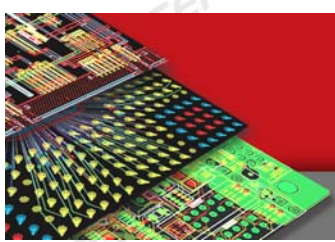
提供定義 Bump 條件後，可以透過滑鼠點選在所選的線段上，增加相位補償線，而此補償線除了直線形式之外，也能使用弧形作相位補償線。



● Trace Tapering

Trace tapering是指在PCB上逐漸的減少走線寬度的漸進線，目的是防止走線寬度突然由粗變細的變化。在RF和軟板設計的應用中，漸進式走線可以強化走線寬度有所變化所在位置的機械應力，同時也能改善訊號傳輸的品質。





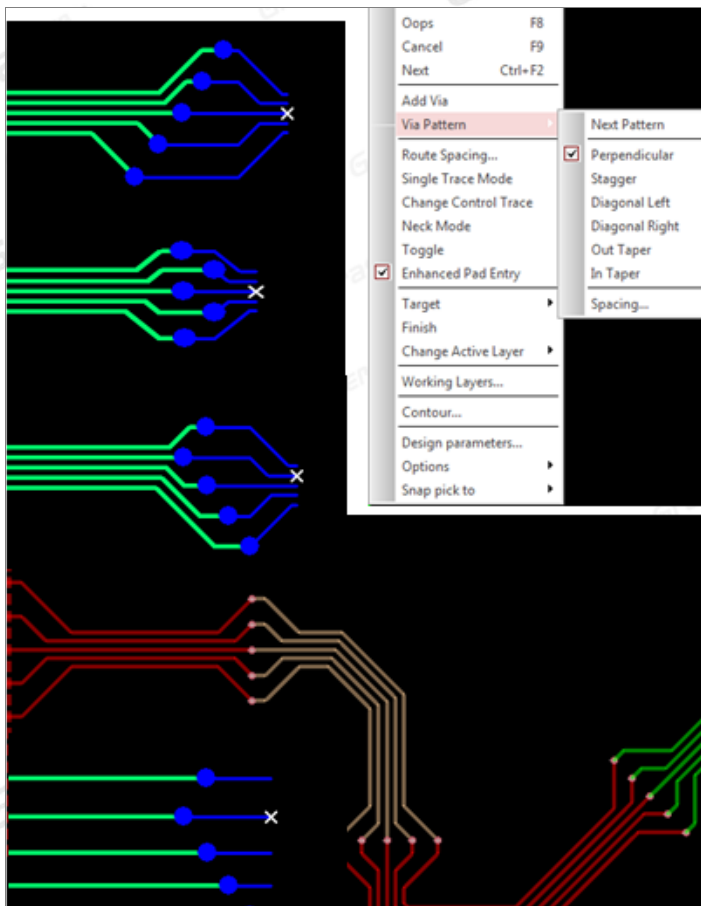
- **Group Route Via Patterns**

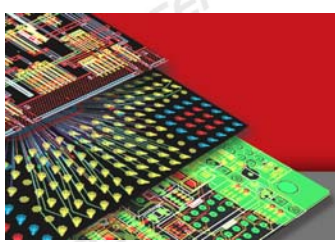
在執行add connect指令時支援Via Pattern功能。可以使用下面的方式啓動Group Routing：

- 使用 add connect 指令，然後選擇一組 via 或 cline.
- 使用 add connect 指令，然後右鍵選擇 multiline route，對一組 net 進行直線。

有 6 種 via patterns 可供選擇，與 PCB Router 中互動式佈線時的模式是相同的。

在使用 add connect 後，點右鍵選 Via Pattern，可從列表中選擇對應的模式。

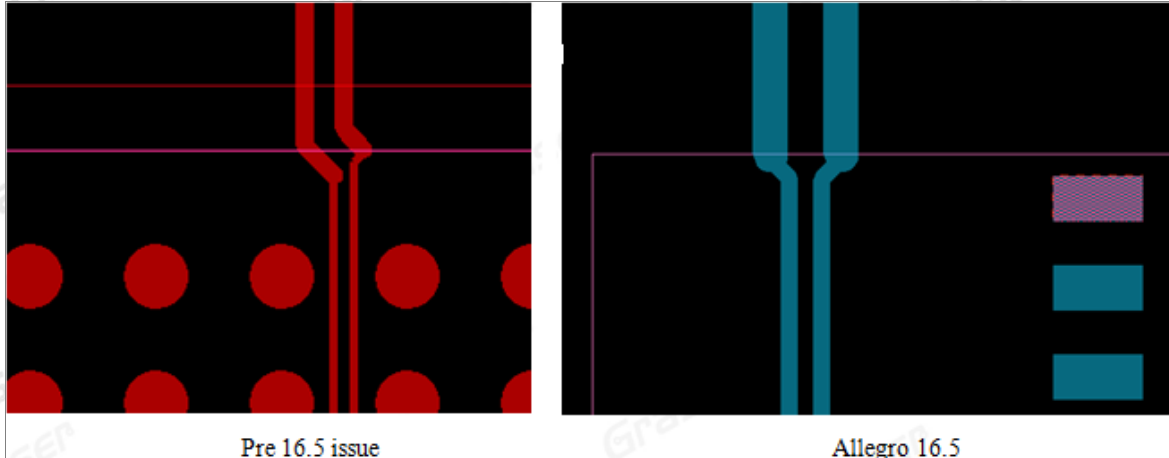




- **Diff Pair Routing - Transitions at Region Boundary**

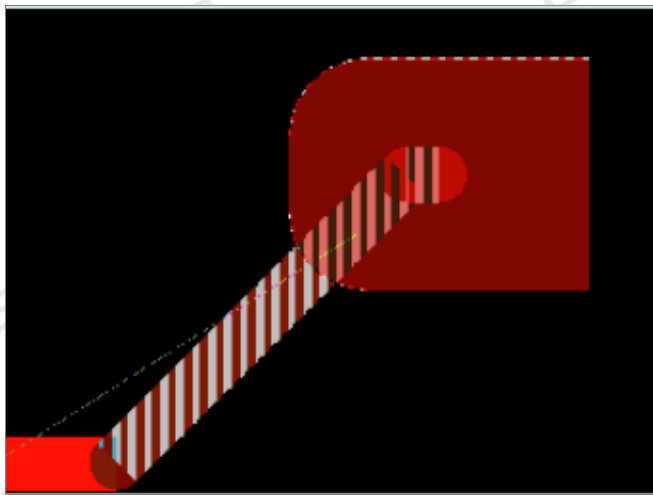
對於在Constraint region中執行的add connect和slide指令，提高了走線能力，包括：

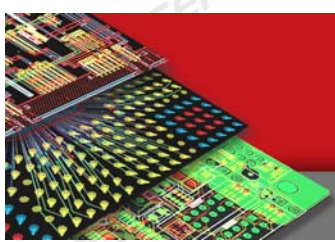
- 差動對以直角或是 45 度角走過 region 邊界，仍然可以保持對稱的關係。
- Slide 或推擠時，差動對的線寬和間隔保持不變。
- 去除了邊界處的鉸鏈效應，現在可以自由 slide 差動對。



- **Pad Exit Behavior**

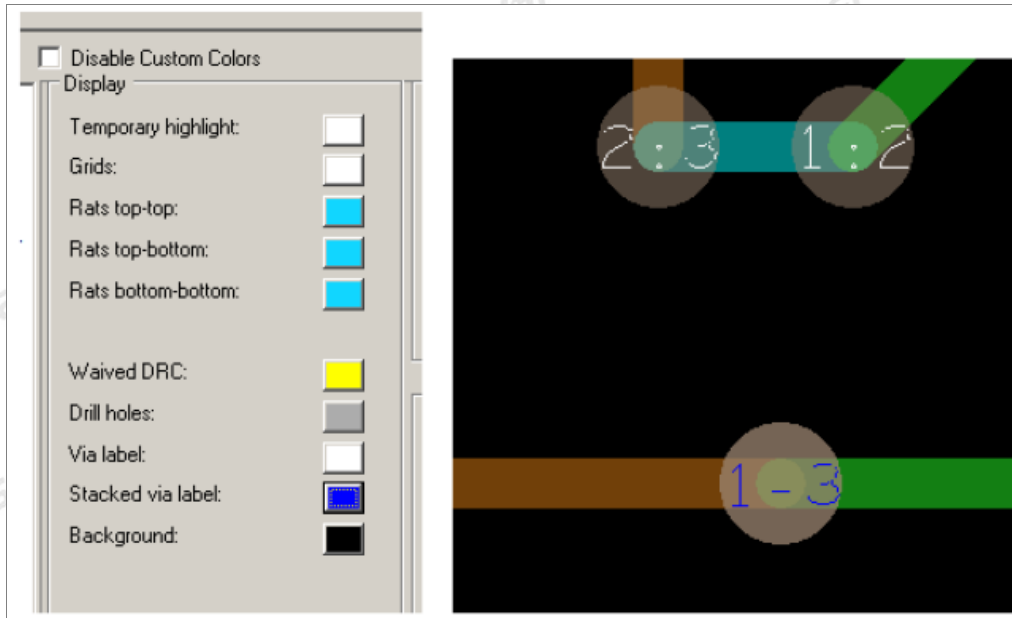
Enhanced Pad Entry功能，在16.5支援了shape形式的Pad。





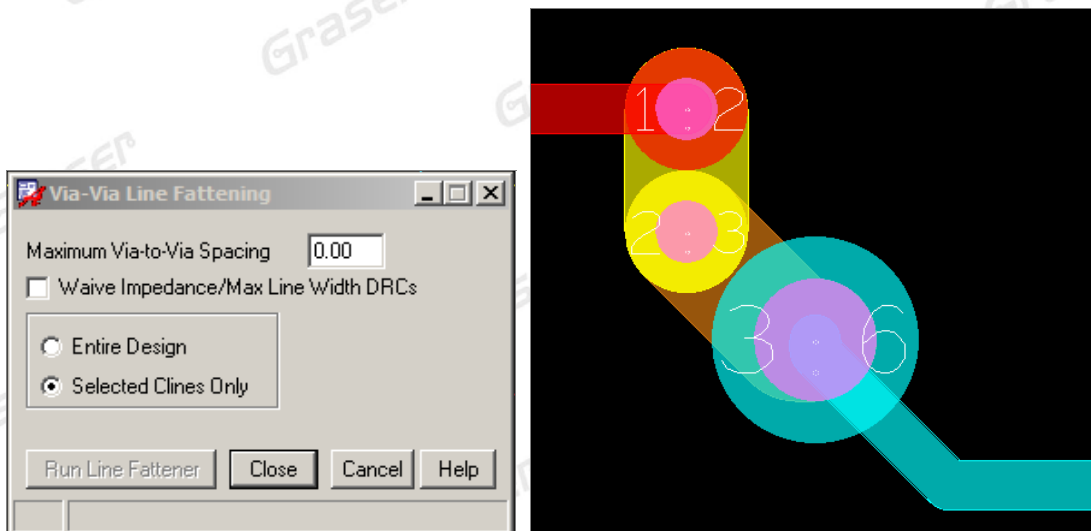
- **HDI Via Labels**

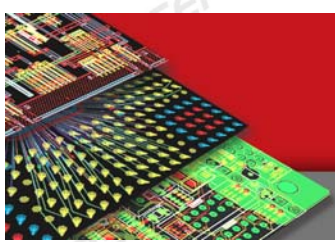
對Via label的顯示支援顏色設定，圖形顯示為 Begin:End 兩個層面的資訊，可以在Color Dialog - Display folder中設定顏色。並且現在可以對Stacked via另外設定Via label的顏色，方便用來區分via形式。



- **HDI Via-Via Line Fattening**

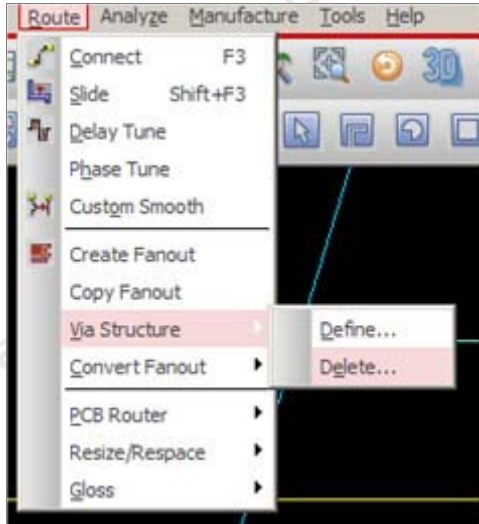
在先前的版本中，如果要增加相鄰的兩個HDI Via線寬，這個設定是應用到整個設計；現在16.5還可支援對選擇的cline單獨增加線寬。





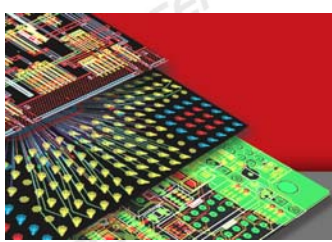
- **Delete Via Structures**

從此版本開始，可使用Via Structure – Delete指令刪除多餘的via structure。



- **Copy/Move Stacked Vias**

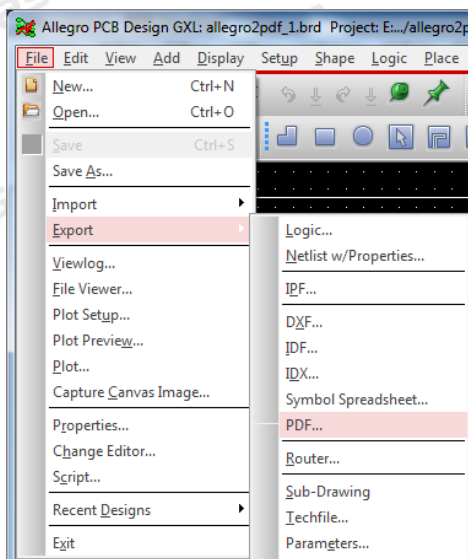
Copy和move指令可以將Stacked via當作一個物件來操作。



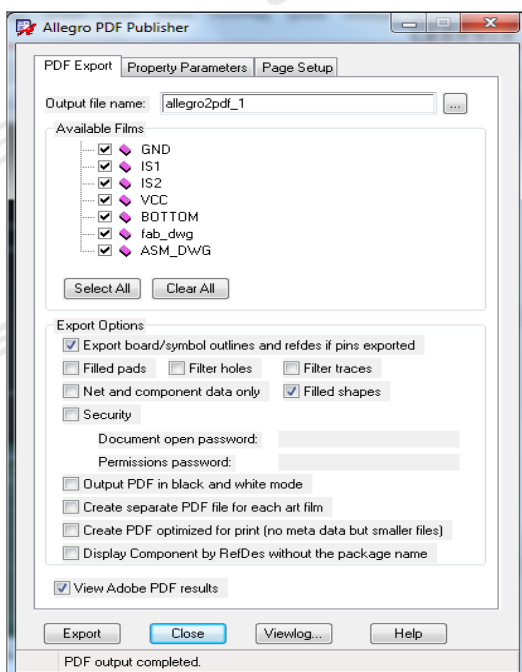
◆ Intelligent PDF Output (Publisher option)

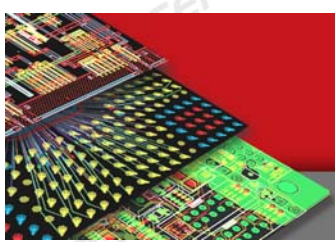
Allegro 現在可以結合 PDF publishing tool，將 allegro 中的資料輸出成 PDF，包含了 Package，Net，及 Testpoint 等資訊

1. PDF publisher 是透過 Allegro Artwork 中的層面設定輸出的，因此須先設定好各層的 Gerber 資訊或增加/刪除要輸出的內容。
2. 因 PDF 輸出的背景全是白色的，所以請注意設定層面及物件的顏色避免使用白色。
3. 在 allegro 中選擇 File/Export/PDF。

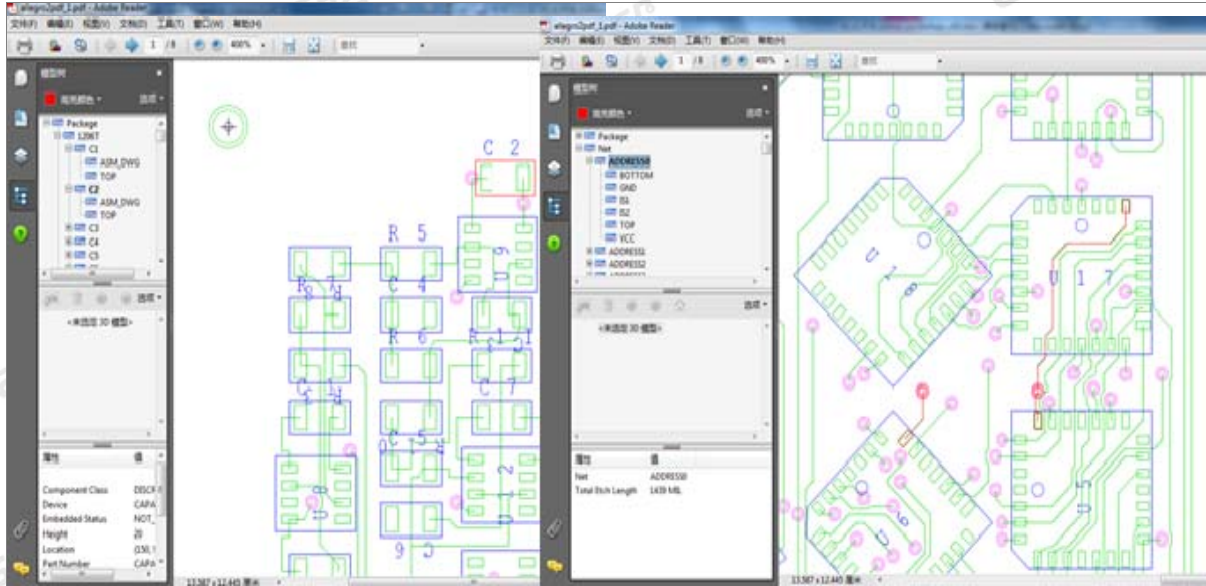


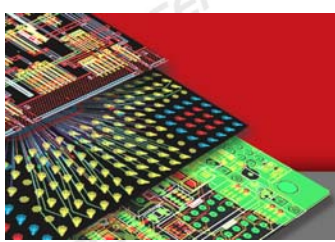
4. PDF 的輸出設定參數選項。





5. 輸出後在 PDF 瀏覽器上顯示的結果。






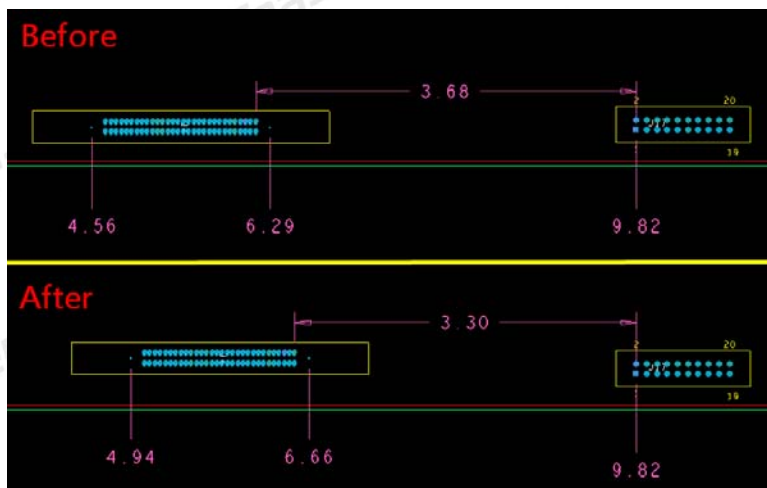
◆ Associative Dimensioning

Allegro對Dimension功能做了提升。當對某個物件執行了dimension操作時，內部會自動將dimension與這個物件建立連結。如果之後對這個物件執行編輯操作，例如使用move指令來移動物件時，Allegro會自動更新與之連結的dimension資訊。

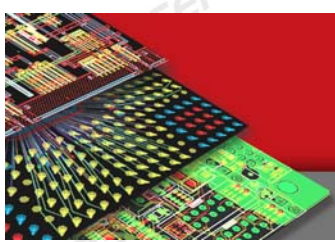
透過以下方式來使用這個功能：

- 選擇Manufacturing - Dimension Environment
- 執行 Dimension Edit command

- 使用toolbar icon 



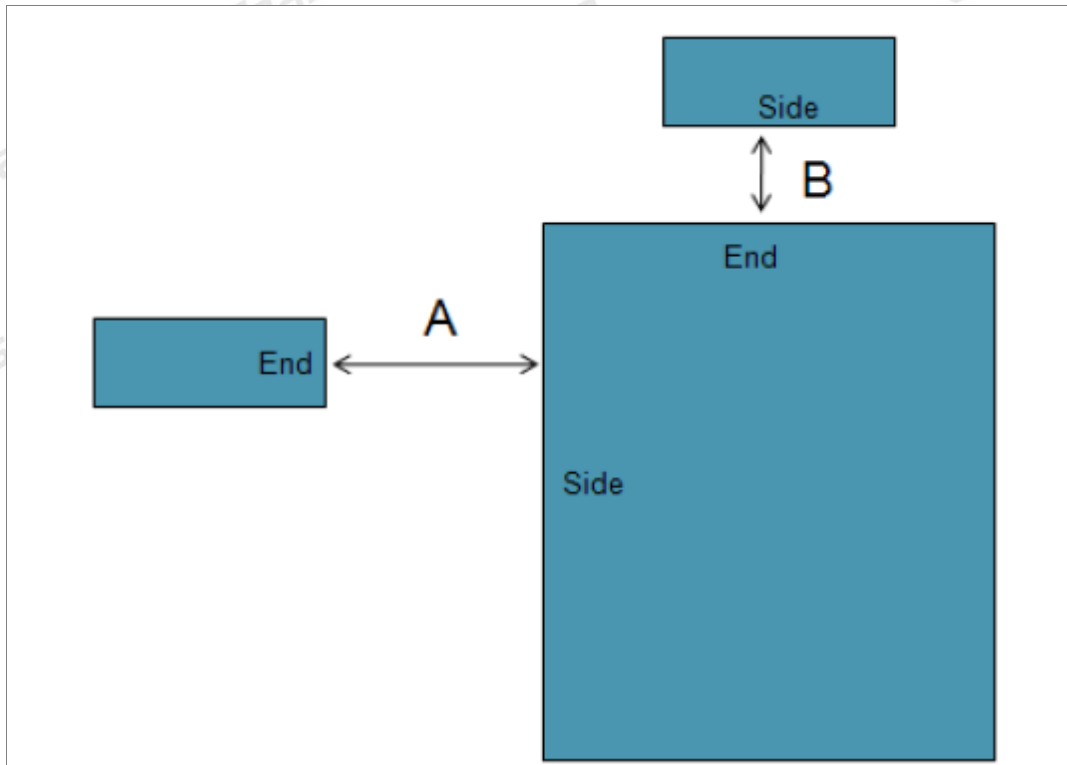
- 當一個16.5的設計降為低版本時，dimension資訊仍在，但是不會有連結的功能。
- Delete dimensions可以用來刪除連結的dimension。
- 刪除一個物件，與之關聯的dimension資訊也會刪除。
- 使用move text或edit leader指令，可對dimension編輯標注線和文字。
- 在沿Y方向移動一個物件後，dimension文字不會保持原來的Y位置。如果想保持，可以先使用Lock dimensions指令來將其物件進行鎖定動作。
- Z-move指令可移動dimension文字到其他的subclass層面。可用的subclass層面有：
 - Board Geometry
 - Dimension
 - Assembly Notes
 - Any user defined subclass
 - Drawing Format
 - Any user defined subclass
 - Manufacturing
 - Any user defined subclass



◆ Design for Manufacturing

● DFA Enhancements (Side-End and End-Side support)

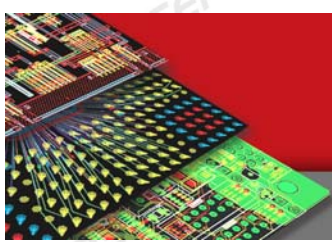
在DFA表中，新增第四種DRC檢查條件來滿足Side to End 和End to Side的設定需求。如下圖例，A 和 B 分別代表Side to End以及End to Side。



- 只對DFA表中有定義的symbol起作用。
- 如果沒提供End to Side值，DRC會使用Side to End 值替代。
- 當比較兩個完全一致的symbol時，只考慮Side to End 值，End to Side被忽略。
- 當存為16.3的設計時，DRC會忽略Side to End 值。

● DFA Usability

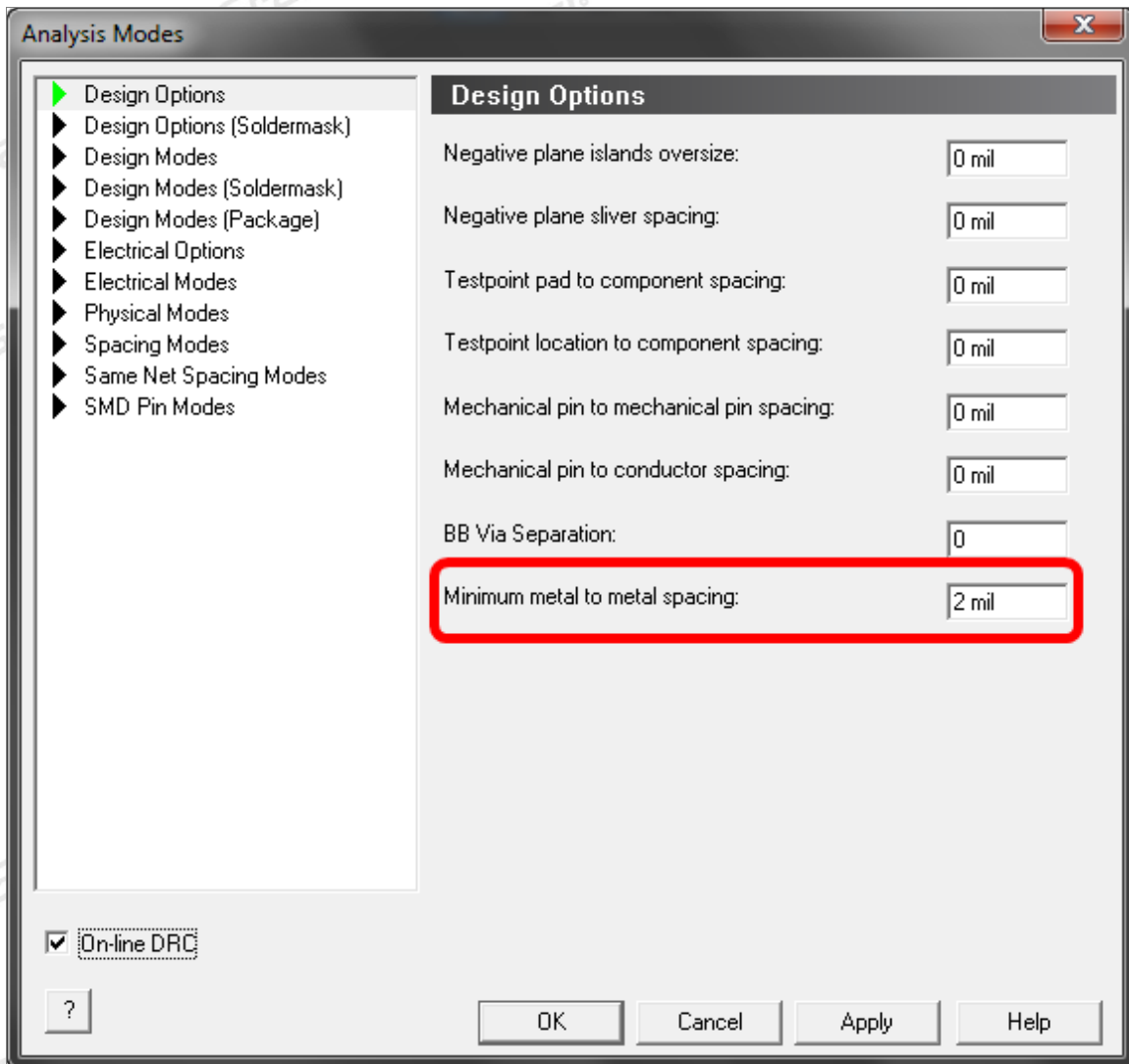
DFA間距檢查有出現問題時，我們必須移動元件來符合規範。將DFA_PAUSE_LEVEL 由低升高，例如設為3時，DFA規則的制約行為也會增強來限制被移動中零件的靠近動作。

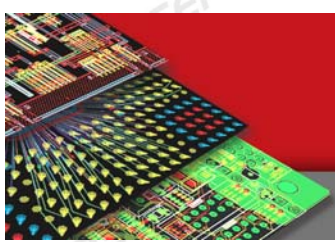


- **Minimum Metal to Metal Clearance DRC**

這是一個新增的Design-level檢查，可滿足最小導體間的spacing要求。當意外關閉了某個spacing mode檢查時，可以透過這個檢查標示出spacing error，就像CAM 的檢查一般。

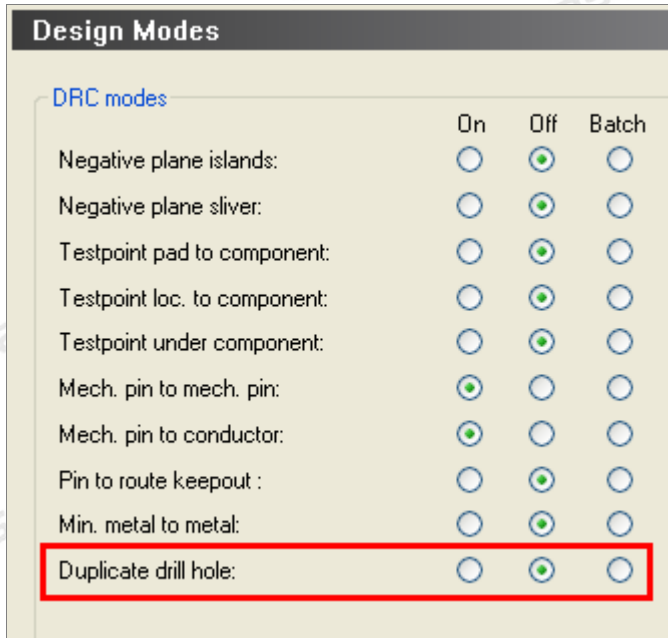
建議最好在設計接近結束時，再執行這個檢查。否則在大部分情況下，會產生一個多餘的DRC（如果spacing suit中的所有mode都開啓）。在Design Option中可以設定一個間距值，這個功能可用來做不同net間的檢查。





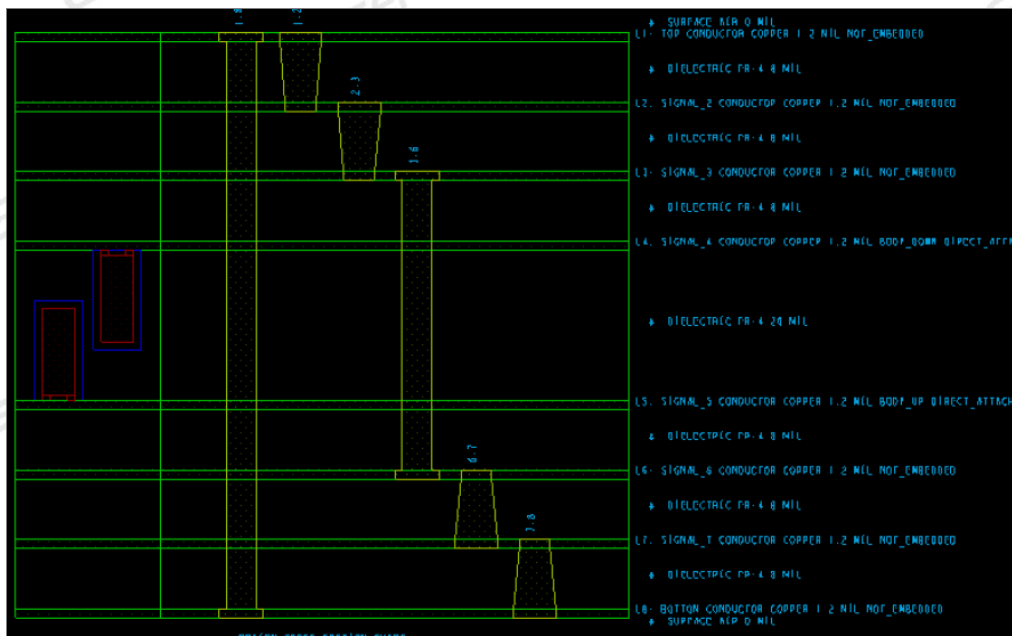
• Duplicate Drill DRC

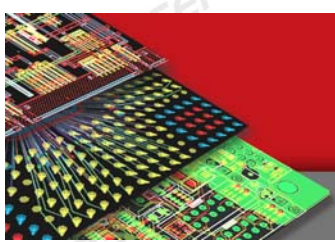
這也是個新的Design-level檢查，用於檢查跨過相同層面的重複鑽孔。



• Cross Section Chart

16.5支援產生一個詳細的cross section chart，可以透過 Manufacture – Cross Section Chart或執行 xsection_chart 指令來產生。





- **Backdrill Enhancement (Any Layer to Any Layer)**

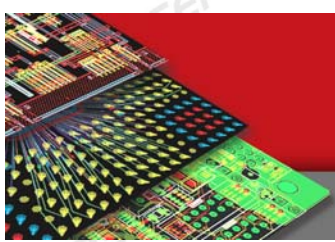
現在支援可在任意層間的BackDrill設定。在 SPB 16.5之前，backdrilling只能從頂層或底層開始。

#	Enable	From Layer	Objects	Passes	To Layer	Depth
1	<input type="checkbox"/>	Top	Pins&Vias	7	All layers	
2	<input type="checkbox"/>	Bottom	Pins&Vias	7	All layers	
3	<input checked="" type="checkbox"/>	SIGNAL_2	Vias		SIGNAL_5	36.80

- ◆ **DRC Updates**

- **Max Neck Length DRC**

自此版本開始，當neck length 部分的累積長度超過了預設的Max Neck Length設定值就會產生DRC。



◆ ECAD-MCAD Flow

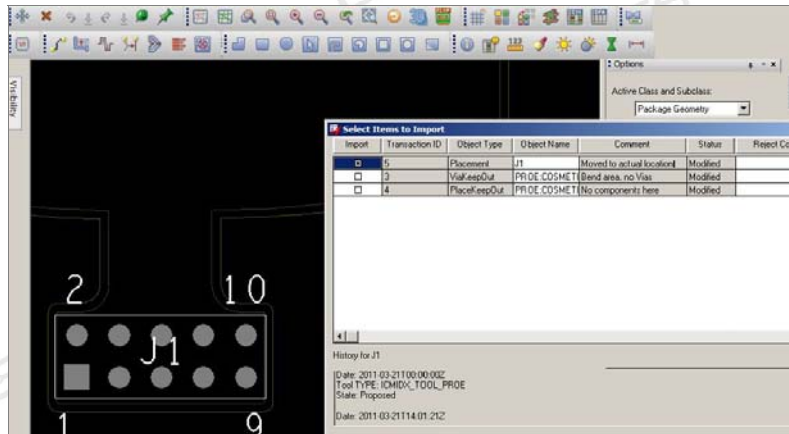
● INCREMENTAL DATA EXCHANGE (IDX)

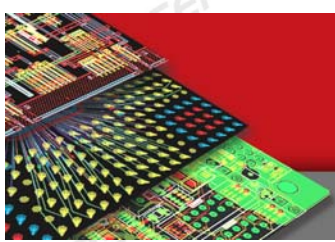
電子與機構的CAD tool之間有多種立基於IDF/DXF的轉換格式，每種格式都保有其既定標準。

EDMD方案(或者稱作IDX格式)，是一種新的以XML為基礎的資料交換格式，導入了增量式改變的概念，作為ECAD/MCAD交換資料的輔助資訊。

也就是說，電子Layout tool/機構CAD tool可在設計剛開始時先定義一個設計當作參考基準(Baseline)，隨後不管是電子或是機構端的設計，只要有不同於baseline，都會被當作是新的設計變更，而這些變化的資料也可以從修改端的CAD tool轉到另一端的CAD tool，好讓雙方都能清楚對於這個設計有何不同的設計考量。

EDMD的另一功能是加強了設計間的溝通，雙方可以透過注釋、接受或拒絕...等功能來達成雙向的溝通。例如：一個設計定義成標準後，如果設計者改變了原始設計中的一個元件的位置，設計者可透過圖形介面匯出改變資訊，並附上注釋描述本次改變的原因；機構設計端會預覽改變的資料，接受改變並匯入資料，或者拒絕接收資料並附上原因及建議一個合理的新位置，PCB設計端也能夠評估新的建議，進而接受或是拒絕此設計建議...等等。





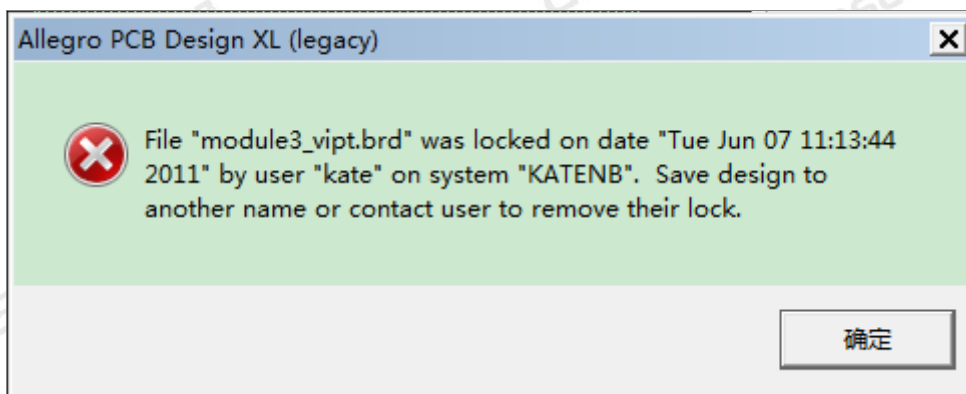
◆ Database and Misc Enhancements

● Database Locking

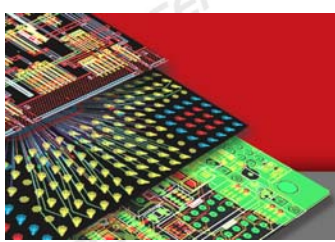
在 Allegro16.5 的版本中支援多個使用者開啓同一個設計檔案時有提醒和保護的功能。當一個 brd file 被一個 user 開啓做編輯時，allegro 會產生一個<design>.lck 的文件直到 allegro 退出。此時如果另一個 user 開啓了這份 brd 做編輯時系統會做出如下提示。



點 YES 後仍然可以編輯，但在儲存時 allegro 不再允許每個開啓此檔的 user 做 save 動作，需要另存為一個新的 brd file。

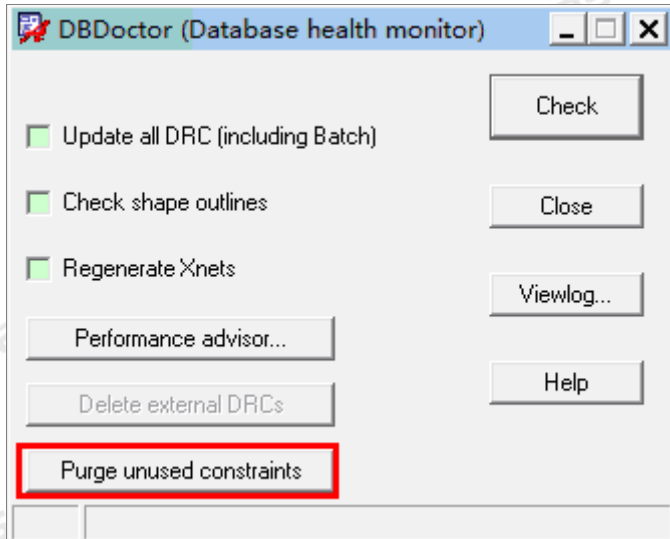


此功能的開啓或關閉需要在 env 中設定，預設情況下是開啓此功能。需要關閉時在 User preferences 設定 allegro_nolocking 即可。



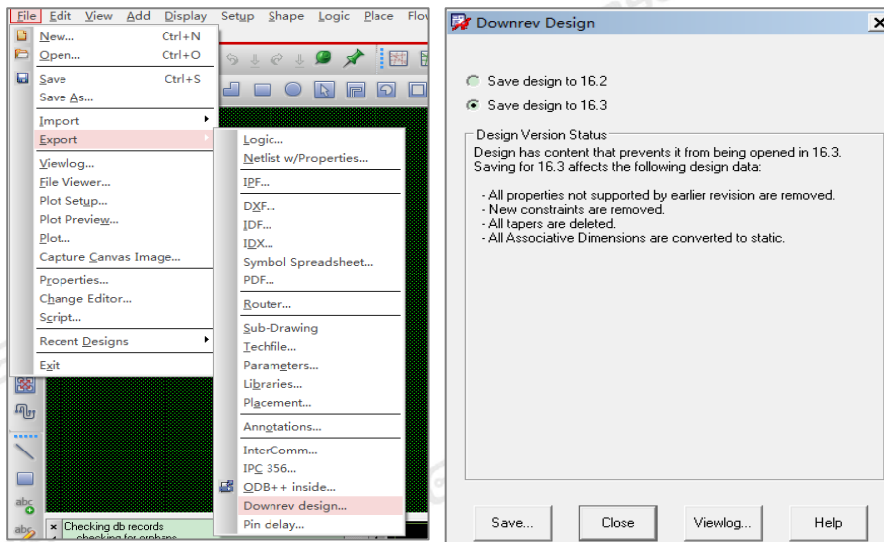
- **DBDOCTOR**

DB Doctor 新增可移除沒在使用的 constraint 功能。



- **Downrev to 16.3**

可以將檔案直接轉為 16.3 版本的，並且會在 log 檔中 list 出刪掉的 properties。

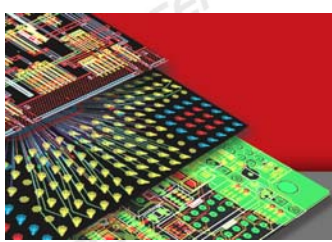


- **Subclass Characters**

Subclass 支援到 31 個字元。

- **Same Net Constraint Set update**

在新的 design 中 Same Net Constraint 的 by-layer DRC mode 開關預設為開啓的。

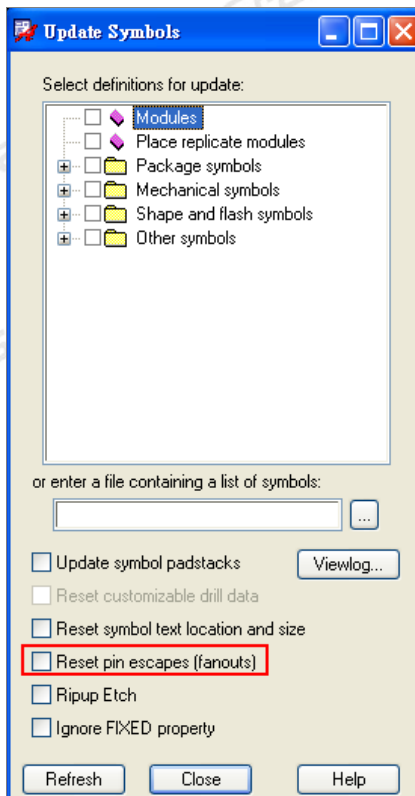


- **Symbol Editor**

透過在 PIN_NUMBER 層面經由新增 Pin number 來將無電氣特性的 mechanical pin 變成有電氣特性的 connect pin。

- **Refresh Symbol**

Update symbols 新增可以 Reset Pin escapes (Fanout).

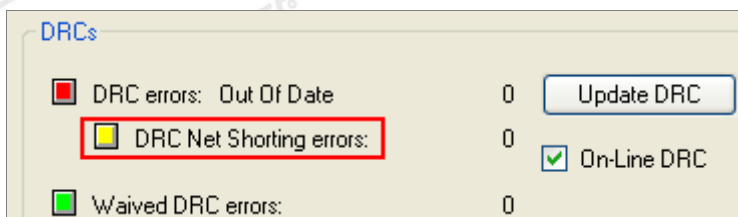


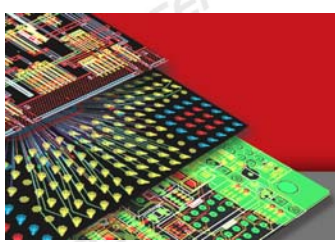
- **Modules and Locked Property**

如果在產生 MDD 時定義 Locked 屬性，那在設定中載入此 MDD 時會繼承 Locked 屬性。

- **Design Status**

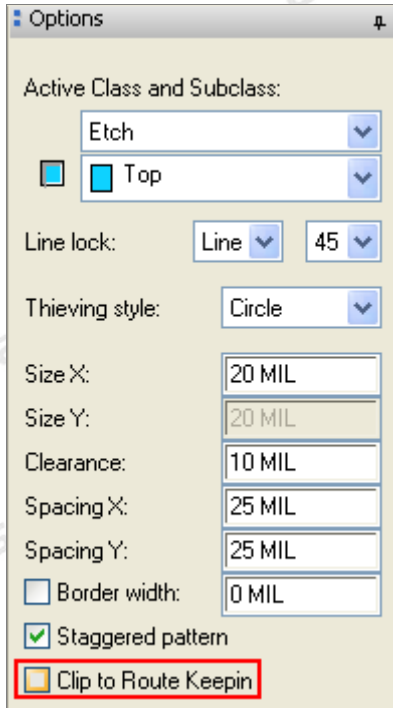
Design status 新增了關於 Net Short DRC 的訊息。





- **Thieving**

在下 Thieving 指令時可以控制產生在 route keepin 範圍內。

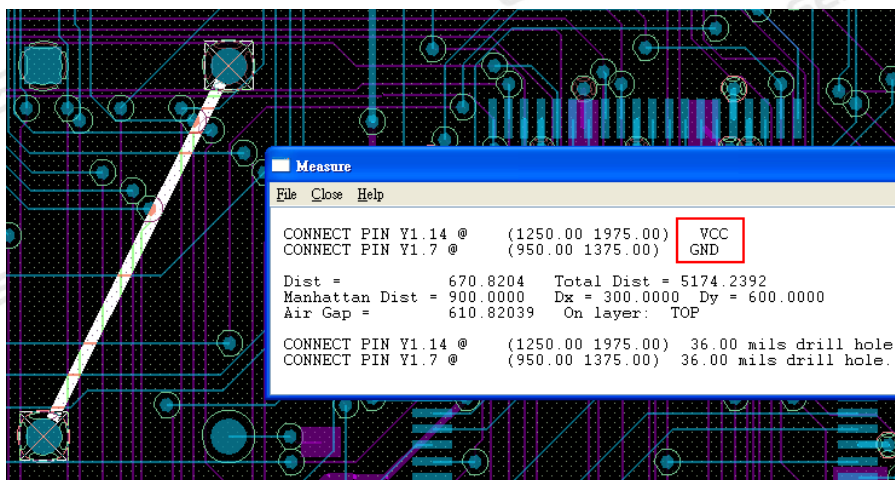


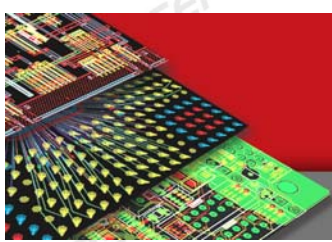
- **Create Detail**

可以選擇在更多允許的層面執行 Create Detail 指令。

- **Display Measure**

對於有 Net 屬性的物件，在進行 measure 時會在對話框中新增 Net 名稱。





- **User Defined Mask Layers -- Mirror support**

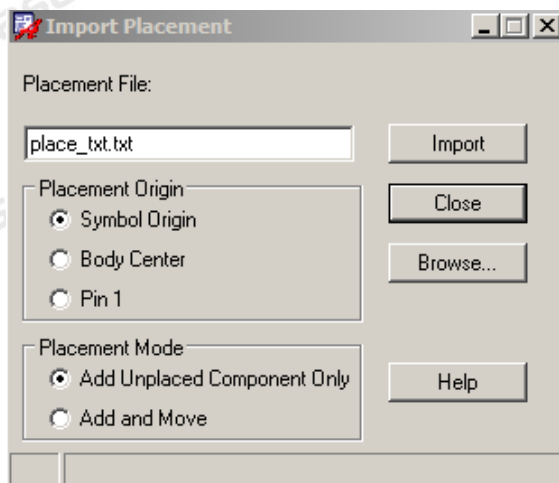
現在的 Mirror 指令也可支援使用者自行定義的 mask 層面進行 mirror 作業。

- **Place Replicate -- Support for Single Symbol**

對於 Place Replicate 支援單顆零件了。允許對單個零件的走線進行複製，而且可以將它們視為一個 group 進行移動指令。

- **Placement Files**

在 Import placement file 時，可以選擇是否改變已經擺好的零件的位置、方向以及是否做 Mirror 動作。



- **Design Partitioning**

對於進行分板後的檔案也支援 Place replicate 功能。

- **Polygon Select**

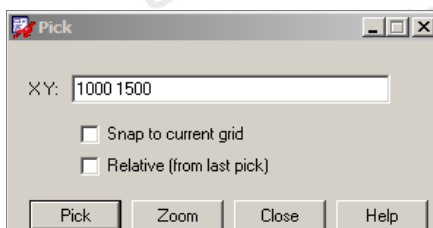
任意框選功能可以透過 Double click 完成結束框選動作。

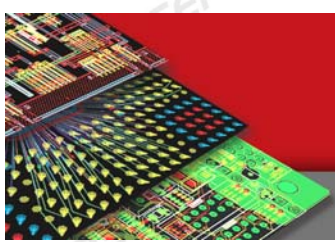
- **Capture Canvas Image**

Capture canvas image 截圖功能現在可以直接存放到工作路徑下。

- **Zoom Button in Pick Dialog**

執行 Pick 指令時，在輸入完座標後，可以透過點選對話框中的 zoom 按鈕來達到 Zoom center 的結果。





- **Reports**

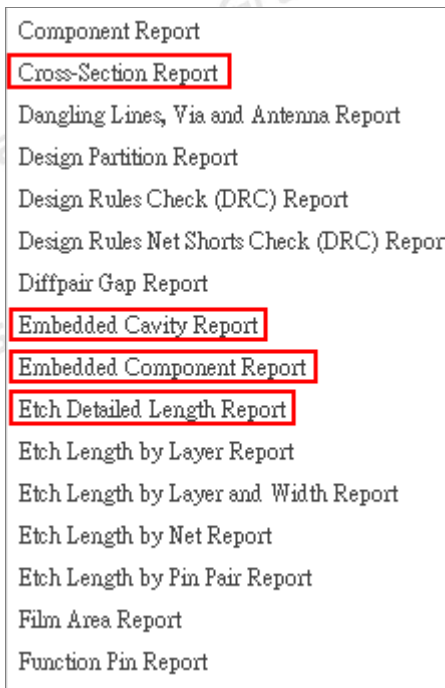
Dangling via 的 report 中新增起始到結束層面的資訊和 antenna vias.的相關訊息。

新增 Embedded Component 的 report。

新增 Embedded Cavities 的 report。

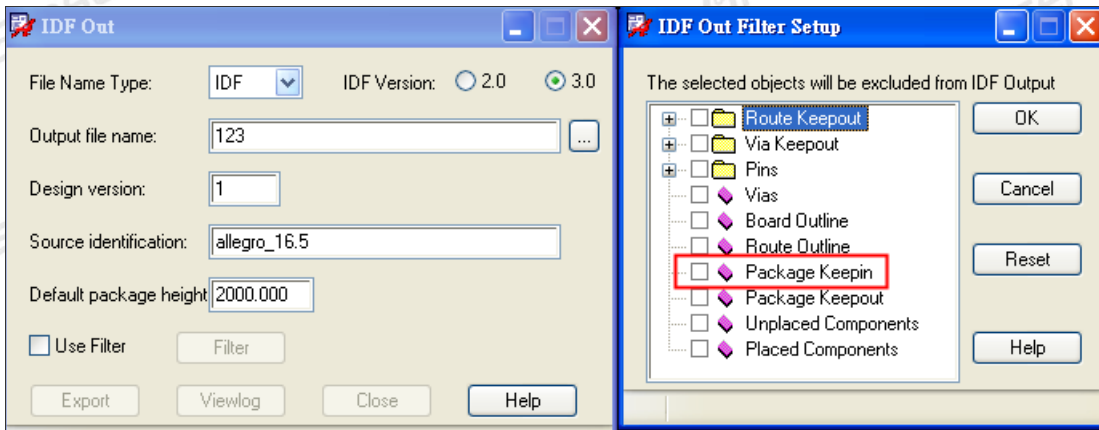
新增 Etch Detailed Length 的 report。

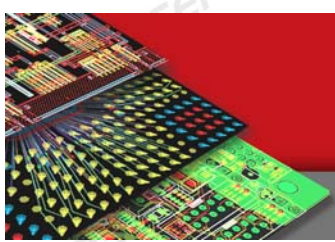
新增 Cross Section 的 report。



- **IDF Out**

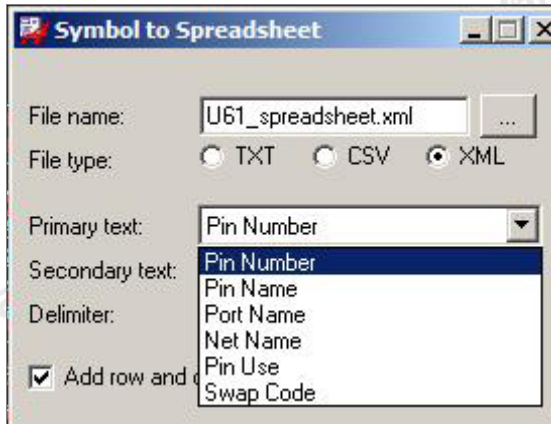
IDF Out 的 filter 中新增 Package Keepin 選項，在 Export IDF 時可以帶出 Package Keepin 資訊。





- **Symbol Export**

現在 PCB Editor 也支援零件的匯出。只要執行 File - Export - Symbol Spreadsheet，就可以產生*.txt,*.csv 或者 xml 格式的零件資訊檔。



- **Skill Enhancements**

可以存取 color patterns。

可以充分存取 Constraint Class tables。

可以充分存取 Grids 和 Text blocks。

Graser®

本版 Technic Note 版權為 映陽科技股份有限公司 所有，未經允許不得任意轉用。

©2011 Graser Technology Corporation. The Graser logo are trademarks of Graser Technology Corporation.